



信息工程系

教

案

课程名称： 电子线路板设计

教 师： 陈晓航

总 学 时： 54

理论学时： 54

实训学时： 0

上课班级： 电子 241、电子 242、电子自主 241、
电子三加 241、物联网三二分段 241

授课学期： 2025-2026 学年第一学期

《电子线路设计》教案

课程名称：电子线路板设计

授课教师：陈晓航

授课班级：电子 241、电子 242 电子自主招生 241、电子三加 241、物联网三二分段 241

教学目标：

掌握电路 PCB 设计的整个工作过程，熟悉原理图设计，掌握 PCB 设计的基本操作。

了解 PCB 在电子设备中的作用和功能，理解 PCB 技术发展的历史和现状。

培养学生的工匠精神和创新意识，通过 PCB 设计实践提升学生的职业素养和工程实践能力。

融入思政元素，引导学生树立正确的价值观和职业观，增强学生的责任感和使命感。

教学重点：

PCB 设计基础知识、PCB 设计软件介绍、原理图设计的基本操作、PCB 设计的基本操作。

电路元器件布局的基本要求、PCB 布线的基本要求。

思政教育的融入，包括职业道德、工匠精神、创新意识、团队合作等。

教学难点：

PCB 设计中的 EMI 抑止、ESD 防护等高级技术问题。

思政教育与专业课程内容的有机结合。

教学方法：

讲授法：通过讲解 PCB 设计的基础知识和操作流程，让学生对 PCB 设计有系统的认识。

演示法：通过实际操作演示，让学生直观了解 PCB 设计软件的使用和电路板的制作过程。

讨论法：组织学生围绕思政主题进行讨论，引导学生思考和表达自己的观点。

案例分析法：通过分析 PCB 设计的成功案例和失败教训，让学生理解理论与实践的结合。

第一章 pcb 设计概述

教学目标：

掌握电路 PCB 设计整个工作过程，熟悉原理图设计，掌握 PCB 设计的基本操作

教学重点：

PCB 设计基础知识、PCB 设计软件介绍、原理图设计的基本操作、PCB 设计的基本操作、网络表的基本定义与作用、电路元器件布局的基本要求、PCB 布线的基本要求

教学难点:

PCB 设计基础知识、PCB 设计软件介绍、原理图设计的基本操作、PCB 设计的基本操作、网络表的基本定义与作用、电路元器件布局的基本要求、PCB 布线的基本要求

教学方式: 讲授法、演示

教学时数: 18 学时

作业: 掌握 eda 的基本操作, 完成放大电路等电路设计, 绘制原理图, 完成 PCB 图。

教学内容:

PCB 设计基础知识

PCB 概念

PCB (PrintedCircuitBoard), 中文名称为印制电路板, 又称印刷电路板、印刷线路板, 是重要的电子部件, 是电子元器件的支撑体, 是电子元器件电气连接提供者。由于它是采用电子印刷术制作的, 故被称为“印刷”电路板。

PCB 在各种电子设备中作用和功能

1. **焊盘:** 提供集成电路等各种电子元器件固定、装配的机械支撑。
2. **走线:** 实现集成电路等各种电子元器件之间的布线和电气连接(信号传输)或电绝缘。提供所要求的电气特性, 如特性阻抗等。
3. **绿油和丝印:** 为自动装配提供阻焊图形, 为元器件插装、检查、维修提供识别字符和图形。

PCB 技术发展概要

从 1903 年至今, 若以 PCB 组装技术的应用和发展角度来看, 可分为三个阶段

1 通孔插装技术 (THT) 阶段 PCB

1. 金属化孔的作用:

- (1). 电气互连——信号传输
- (2). 支撑元器件——引脚尺寸限制通孔尺寸的缩小
 - a. 引脚的刚性
 - b. 自动化插装的要求

2. 提高密度的途径

- (1) 减小器件孔的尺寸, 但受到元件引脚的刚性及插装精度的限制, 孔径 $\geq 0.8\text{mm}$
- (2) 缩小线宽/间距: $0.3\text{mm}—0.2\text{mm}—0.15\text{mm}—0.1\text{mm}$
- (3) 增加层数: 单面—双面—4 层—6 层—8 层—10 层—12 层—64 层

2 表面安装技术 (SMT) 阶段 PCB

1. 导通孔的作用: 仅起到电气互连的作用, 孔径可以尽可能的小, 堵上孔也可以。
2. 提高密度的主要途径

①. 过孔尺寸急剧减小: $0.8\text{mm}—0.5\text{mm}—0.4\text{mm}—0.3\text{mm}—0.25\text{mm}$

②. 过孔的结构发生本质变化:

a. 埋盲孔结构优点: 提高布线密度 1/3 以上、减小 PCB 尺寸或减少层数、提高可靠性、改善了特性阻抗控制, 减小了串扰、噪声或失真 (因线短, 孔小)

b. 盘内孔 (hole in pad) 消除了中继孔及连线

③薄型化: 双面板: $1.6\text{mm}—1.0\text{mm}—0.8\text{mm}—0.5\text{mm}$

④PCB 平整度:

a. 概念: PCB 板基板翘曲度和 PCB 板面上连接盘表面的共面性。

b. PCB 翘曲度是由于热、机械引起残留应力的综合结果

c. 连接盘的表面涂层: HASL、化学镀 NI/AU、电镀 NI/AU...

3 芯片级封装 (CSP) 阶段 PCB

CSP 开始进入急剧的变革于发展之中, 推动 PCB 技术不断向前发展, PCB 工业将走向激光时代和纳米时代。

PCB 表面涂覆技术

PCB 表面涂覆技术是指阻焊涂覆(兼保护)层以外的可供电气连接用的可焊性涂(镀)覆层和保护层。

按用途分类:

1. 焊接用: 因铜的表面必须有涂覆层保护, 不然在空气中很容易氧化。

2. 接插件用: 电镀 Ni/Au 或化学镀 Ni/Au (硬金, 含 P 及 Co)

3. 线焊用: wire bonding 工艺

热风整平 (HASL 或 HAL)

从熔融 Sn/Pb 焊料中出来的 PCB 经热风 (230°C) 吹平的方法。

1. 基本要求:

(1). Sn/Pb=63/37 (重量比)

(2). 涂覆厚度至少>3um

(3) 避免形成非可焊性的 Cu₃Sn 的出现, Cu₃Sn 出现的原因是锡量不足, 如 Sn/Pb 合金涂覆层太薄, 焊点组成由可焊的 Cu₆Sn₅ - Cu₄Sn₃ -- Cu₃Sn₂ -- 不可焊的 Cu₃Sn

2. 工艺流程

去除抗蚀剂—板面清洁处理—印阻焊及字符—清洁处理—涂助焊剂—热风整平—清洁处理

3. 缺点:

a. 铅锡表面张力太大, 容易形成龟背现象。

b. 焊盘表面不平整, 不利于 SMT 焊接。

化学镀 Ni/Au 是指 PCB 连接盘上化学镀 Ni (厚度≥3um) 后再镀上一层 0.05-0.15um 薄金, 或镀上一层厚金 (0.3-0.5um)。由于化学镀层均匀, 共面性好, 并可提供多次焊接性能, 因此具有推广应用的趋势。其中镀薄金 (0.05-0.1um) 是为了保护 Ni 的可焊性, 而镀厚金 (0.3-0.5um) 是为了线焊 (wire bonding) 工艺需要。

1. Ni 层的作用:

a. 作为 Au、Cu 之间的隔离层, 防止它们之间相互扩散, 造成其扩散部位呈疏松状态。

b. 作为可焊的镀层, 厚度至少>3um

2. Au 的作用:

Au 是 Ni 的保护层, 厚度 0.05-0.15 之间, 不能太薄, 因金的气孔性较大如果太薄不能很好的保护 Ni, 造成 Ni 氧化。其厚度也不能>0.15um, 因焊点中会形成金铜合金 Au₃Au₂ (脆), 当焊点中 Au 超过 3% 时, 可焊性变差。

电镀 Ni/Au

镀层结构基本同化学 Ni/Au, 因采用电镀的方式, 镀层的均匀性要差一些。

PCB 设计输出生产文件 注意事项

1. 需要输出的层有:

(1). 布线层包括顶层/底层/中间布线层;

(2). 丝印层包括顶层丝印/底层丝印;

(3). 阻焊层包括顶层阻焊和底层阻焊;

(4). 电源层包括 VCC 层和 GND 层;

(5). 另外还要生成钻孔文件 NCDrill。

2. 如果电源层设置为 Split/Mixed, 那么在 AddDocument 窗口的 Document 项选择 Routing 并且每次输出光绘文件之前都要对 PCB 图使用 PourManager 的 Plane Connect 进行覆铜; 如果设置为 CAMPlane 则选择 Plane 在设置 Layer 项的时候要把 Layer25 加上在 Layer25 层中选择 Pads 和 Vias。

3. 在设备设置窗口按 Device Setup 将 Aperture 的值改为 199。

4. 在设置每层的 Layer 时将 BoardOutline 选上。

5. 设置丝印层的 Layer 时不要选择 PartType 选择顶层底层和丝印层的 Outline Text Line。

6. 设置阻焊层的 Layer 时选择过孔表示过孔上不加阻焊。一般过孔都会组焊层覆盖。

安规标识要求

1. 保险管的安规标识齐全保险丝附近是否有 6 项完整的标识, 包括保险丝序号、熔断特性、额定电流值、防爆特性、额定电压值、英文警告标识。如 F101 F3. 15AH, 250Vac, "CAUTION: For Continued Protection Against Risk of Fire, Replace Only With Same Type and Rating of Fuse"。若 PCB 上没有空间排布英文警告标识, 可将工, 英文警告标识放到产品的使用说明书中说明。

2. PCB 上危险电压区域标注高压警示符 PCB 的危险电压区域部分应用 40mil 宽的虚线与安全电压区域隔离, 并印上高压危险标识和 "DANGER! HIGHVOTAGE"。

3. 原、付边隔离带标识清楚 PCB 的原、付边隔离带清晰, 中间有虚线标识。

4. PCB 板安规标识应明确齐全。

PCB EMI 设计

在 PCB 设计中最常见的问题就是信号线跨越分割地或电源而产生 EMI 问题。为规避这种 EMI 问题下面就为大家介绍一下 PCB 设计中 EMI 设计的规范步骤。

1、IC 的电源处理

保证每个 IC 的电源 PIN 都有一个 $0.1\mu\text{F}$ 的去耦电容，对于 BGA CHIP，要求在 BGA 的四角分别有 $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 的电容共 8 个。对走线的电源尤其要注意加滤波电容，如 VTT 等。这不仅对稳定性有影响，对 EMI 也有很大的影响。一般去耦电容还是需要遵循芯片厂家要求。

2、时钟线的处理

1. 建议先走时钟线。

2. 频率大于等于 66M 的时钟线，每条过孔数不要超过 2 个，平均不得超过 1.5 个。

3. 频率小于 66M 的时钟线，每条过孔数不要超过 3 个，平均不得超过 2.5 个

4. 长度超过 12inch 的时钟线，如果频率大于 20M，过孔数不得超过 2 个。

5. 如果时钟线有过孔，在过孔的相邻位置，在第二层（地层）和第三层（电源层）之间加一个旁路电容、如图 2.5-1 所示，以确保时钟线换层后，参考层（相邻层）的高频电流的回路连续。旁路电容所在的电源层必须是过孔穿过的电源层，并尽可能地靠近过孔，旁路电容与过孔的间距最大不超过 300MIL。

6. 所有时钟线原则上不可以穿岛（跨越分割）。下面列举了穿岛的四种情形。

时钟、复位、100M 以上信号以及一些关键的总线信号不能跨分割，至少有一个完整平面，优选 GND 平面。

时钟信号、高速信号和敏感信号禁止跨分割；

差分信号必须对地平衡，避免单线跨分割。（尽量垂直跨分割）

所有信号的高频返回途径都直接位于相邻层信号线的正下方。在信号下面设置一个实体层可以显著减少信号完整性和时序问题，这个实体层可以为该信号提供直接回路。当走线与层分割交叉不可避免时，应使用一个 $0.01\mu\text{F}$ 回路电容。如图所示，当使用回路电容时，应尽可能靠近信号线与层分割的交叉点布置回路电容。

6.1 跨岛出现在电源岛与电源岛之间。此时时钟线在第四层的背面走线，第三层（电源层）有两个电源岛，且第四层的走线必须跨过这两个岛。

6.2 跨岛出现在电源岛与地岛之间。此时时钟线在第四层的背面走线，第三层（电源层）的一个电源岛中间有一块地岛，且第四层的走线必须跨过这两个岛。

6.3 跨岛出现在地岛与地层之间。此时时钟线在第一层走线，第二层（地层）的中间有一块地岛，且第一层的走线必须跨过地岛，相当于地线被中断。

6.4 时钟线下面没有铺铜。若条件限制实在做不到不穿岛，保证频率大于等于 66M 的时钟线不穿岛，频率小于 66M 的时钟线若穿岛，必须加一个去耦电容形成镜像通路。以图 6.1 为例，在两个电源岛之间并靠近跨岛的时钟线，放置一个 $0.1\mu\text{F}$ 的电容。

7. 当面临两个过孔和一次穿岛的取舍时，选一次穿岛。

8. 时钟线要远离 I/O 一侧板边 500MIL 以上，并且不要和 I/O 线并行走，若实在做不到，时钟线与 I/O 口线间距要大于 50MIL。

9. 时钟线走在第四层时，时钟线的参考层（电源平面）应尽量为时钟供电的那个电源面上，以其他电源面为参考的时钟越少越好，另外，频率大于等于 66M 的时钟线参考电源面必须为 3.3V 电源平面。

10. 时钟线打线时线间距要大于 25MIL。

11. 时钟线打线时进去的线和出去的线应该尽量远。尽量避免类似图 A 和图 C 所示的打线方式，若时钟线需换层，避免采用图 E 的打线方式，采用图 F 的打线方式。

12. 时钟线连接 BGA 等器件时，若时钟线换层，尽量避免采用图 G 的走线形式，过孔不要在 BGA 下面走，最好采用图 H 的走线形式。

13. 注意各个时钟信号，不要忽略任何一个时钟，包括 AUDIO CODEC 的 AC_BITCLK，尤其注意的是 FS3-FS0，虽然说从名称上看不是时钟，但实际上跑的是时钟，要加以注意。

14. Clock Chip 上拉下拉电阻尽量靠近 Clock Chip。

3、I/O 口的处理

1. 各 I/O 口包括 PS/2、USB、LPT、COM、SPEAK OUT、GAME 分成一块地，最左与最右与数字地相连，宽度不小于 200MIL 或三个过孔，其他地方不要与数字地相连。

2. 若 COM2 口是插针式的，尽可能靠近 I/O 地。

3. I/O 电路 EMI 器件尽量靠近 I/O SHIELD。

4. I/O 口处电源层与地层单独划岛，且 Bottom 和 TOP 层都要铺地，不许信号穿岛（信号线直接拉出 PORT，不在 I/O PORT 中长距离走线）。

四、几点说明

1. 对 EMI 设计规范, 设计工程师要严格遵守, EMI 工程师有检查的权力, 违背 EMI 设计规范而致 EMI 测试 FAIL, 责任由设计工程师承担。

2. EMI 工程师对设计规范负责, 对严格遵守 EMI 设计规范, 但仍然 EMI 测试 FAIL, EMI 工程师有责任给出解决方案, 并总结到 EMI 设计规范中来。

3. EMI 工程师对每一个外设口的 EMI 测试负有责任, 不可漏测。

4. 每个 PCB 设计工程师有对该设计规范作修改的建议权和质疑的权力。EMI 工程师有责任回答质疑, 对工程师的建议通过实验后证实后加入设计规范。

5. EMI 工程师有责任降低 EMI 设计的成本, 减少磁珠的使用个数。

PCB 设计的 ESD 抑止

PCB 布线是 ESD 防护的一个关键要素, 合理的 PCB 设计可以减少故障检查及返工所带来的不必要成本。在 PCB 设计中, 由于采用了瞬态电压抑止器 (TVS) 二极管来抑止因 ESD 放电产生的直接电荷注入, 因此 PCB 设计中更重要的是克服放电电流产生的电磁干扰 (EMI) 电磁场效应。本文将提供可以优化 ESD 防护的 PCB 设计准则。

1、电路环路

电流通过感应进入到电路环路, 这些环路是封闭的, 并具有变化的磁通量。电流的幅度与环的面积成正比。较大的环路包含有更多的磁通量, 因而在电路中感应出较强的电流。因此, 必须减少环路面积。

最常见的环路由电源和地线所形成。在可能的条件下, 可以采用具有电源及接地层的多层 PCB 设计。多层电路板不仅将电源和接地间的回路面积减到最小, 而且也减小了 ESD 脉冲产生的高频 EMI 电磁场。

如果不能采用多层电路板, 那么用于电源线和接地的线必须连接成网格状。网格连接可以起到电源和接地层的作用, 用过孔连接各层的印制线, 在每个方向上过孔连接间隔应该在 6 厘米内。另外, 在布线时, 将电源和接地印制线尽可能靠近也可以降低环路面积。

减少环路面积及感应电流的另一个方法是减小互连器件间的平行通路。

当必须采用长于 30 厘米的信号连接线时, 可以采用保护线。一个更好的办法是在信号线附近放置地层。信号线应该距保护线或接地线层 13 毫米以内。

将每个敏感元件的长信号线 (>30 厘米) 或电源线与其接地线进行交叉布置。交叉的连线必须从上到下或从左到右的规则间隔布置。

2、电路连线长度

长的信号线也可成为接收 ESD 脉冲能量的天线, 尽量使用较短信号线可以降低信号线作为接收 ESD 电磁场天线的效率。

尽量将互连的器件放在相邻位置, 以减少互连的印制线长度。

3、地电荷注入

ESD 对地线层的直接放电可能损坏敏感电路。在使用 TVS 二极管的同时还要使用一个或多个高频旁路电容器, 这些电容器放置在易损元件的电源和地之间。旁路电容减少了电荷注入, 保持了电源与接地端口的电压差。

TVS 使感应电流分流, 保持 TVS 钳位电压的电位差。TVS 及电容器应放在距被保护的 IC 尽可能近的位置, 要确保 TVS 到地通路以及电容器管脚长度为最短, 以减少寄生电感效应。

PCB 生产中 Mark 点设计

1. pcb 必须在板长边对角线上有一对对应整板定位的 Mark 点, 板上集成电路引脚中心距小于 0.65mm 的芯片需在集成电路长边对角线上有一对对应芯片定位的 Mark 点; pcb 双面都有贴片件时, 则 pcb 的两面都按此条加 Mark 点。

2. pcb 边需留 5mm 工艺边 (机器夹持 PCB 最小间距要求), 同时应保证集成电路引脚中心距小于 0.65mm 的芯片要距离板边大于 13mm (含工艺边); 板四角用 $\Phi 5$ 圆弧倒角。pcb 应采用拼板方式, 从目前 pcb 翘曲程度考虑, 最佳拼接长度约为 200mm, (设备加工尺寸: 长度最大为 330mm; 宽度最大为 250mm), 在宽度方向尽量不拼以防止在生产过程中弯曲。

3. MARK 点作用及类别

Mark 点也叫基准点, 为装配工艺中的所有步骤提供共同的可测量点, 保证了装配使用的每个设备能精确地定位电路图案。因此, Mark 点对 SMT 生产至关重要

4. 我部推荐的 MARK 点设计规范

1) 形状: 建议 Mark 点标记为直径: $R=1.0\text{mm}$ 实心圆;

2) 组成一个完整的 MARK 点包括: 标记点 (或特征点) 和空旷区域。

3) 位置: Mark 点位于单板或拼板上的对角线相对位置且尽可能地距离分开; 最好分布在最长对角线位置 (如 MARK 点位置图)。

4) 为保证贴装精度的要求, SMT 要求: 每块 PCB 内必须至少有一对符合设计要求的可供 SMT 机器识别的 MARK 点, 同时必须有单板 MARK (拼板时), 拼板 MARK 或组合 MARK 只起辅助定位的作用。

5) 拼板时,每一单板的 MARK 点相对位置必须一样。不能因为任何原因而挪动拼板中任一单板上 MARK 点的位置,而导致各单板 MARK 点位置不对称;

6) PCB 上所有 MARK 点只有满足:在同一对角线上且成对出现的两个 MARK,方才有效。因此 MARK 点都必须成对出现,才能使用(MARK 点位置图)。

7) MARK 点(空旷区边缘)距离 PCB 边缘必须 $\geq 5.0\text{mm}$ (机器夹持 PCB 最小间距要求)

8) 尺寸

A. Mark 点标记最小的直径为 1.0mm ,最大直径是 3.0mm ,Mark 点标记在同一块印制板上尺寸变化不能超过 25 微米;

B. 特别强调:同一板号 PCB 上所有 Mark 点的大小必须一致(包括不同厂家生产的同一板号的 PCB);

C. 建议将所有的 Mark 点标记直径统一设为 1.0mm 。

9) 空旷区要求

在 Mark 点标记周围,必须有一块没有其它电路特征或标记的空旷面积。空旷区圆半径 $r \geq 2R$, R 为 MARK 点半径, r 达到 $3R$ 时,机器识别效果更好。

10) 材料

Mark 点标记可以是裸铜、清澈的防氧化涂层保护的裸铜。如果使用阻焊(soldermask),不应该覆盖 Mark 点或其空旷区域

11) MARK 点的光亮度应保持一致。

12) 平整度:Mark 点标记的表面平整度应该在 15 微米之内。

13) 对比度

A. 当 Mark 点标记与印制板的基质材料之间有高对比度时可达到最佳的识别性能

B. 对于所有 Mark 点的内层背景必须相同

以下在补点他人这方面的经验,作为参考

MARK 点分类:

1)Mark 点用于锡膏印刷和元件贴片时的光学定位。根据 Mark 点在 PCB 上的作用,可分为拼板 Mark 点、单板 Mark 点、局部 Mark 点(也称器件级 MARK 点),

2)拼板的工艺边上和无需拼板的单板上应至少有三个 Mark 点,呈 L 形分布,且对角 Mark 点关于中心不对称。

3)如果双面都有贴装元器件,则每一面都应该有 Mark 点。

4)需要拼板的单板上尽量有 Mark 点,如果没有放置 Mark 点的位置,在单板上可不放置 Mark 点。

5)引线中心距 $\leq 0.5\text{mm}$ 的 QFP 以及中心距 $\leq 0.8\text{mm}$ 的 BGA 等器件,应在通过该元件中心点对角线附近的对角设置局部 Mark 点,以便对其精确定位。

6)如果几个 SOP 器件比较靠近($\leq 100\text{mm}$)形成阵列,可以把它们看作一个整体,在其对角位置设计两个局部 Mark 点。

设计说明和尺寸要求:

1)Mark 点的形状是直径为 1mm 的实心圆,材料为铜,表面喷锡,需注意平整度,边缘光滑、齐整,颜色与周围的背景色有明显区别;阻焊开窗与 Mark 点同心,对于拼板和单板直径为 3mm ,对于局部的 Mark 点直径为 1mm ,

2)单板上的 Mark 点,中心距板边不小于 5mm ;工艺边上的 Mark 点,中心距板边不小于 3mm 。

3)为了保证印刷和贴片的识别效果,Mark 点范围内应无焊盘、过孔、测试点、走线及丝印标识等,不能被 V-CUT 槽所切造成机器无法辨识。

4)为了增加 Mark 点和基板之间的对比度,可以在 Mark 点下面敷设铜箔。同一板上的 Mark 点其内层背景要相同,即 Mark 点下有无铜箔应一致。

5)对于单板和拼板的 Mark 点应当作元件来设计,对于局部的 Mark 点应作为元件封装的一部分设计。便于赋予准确的坐标值进行定位。

PCB 设计之光学基准点!

在有贴片元件的 PCB 板上,为了对 PCB 整板进行定位,通常需要在 PCB 板的四个角放置光学定位点,一般放三个即可。常见的基准点主要有三种:拼板基准点,单元基准点,局部基准点。

基准点结构

(1) 拼板基准点和单元基准点

形状/大小:直径为 40mil 的实心圆。阻焊开窗:和基准点同心的圆形,大小为基准点直径的两倍。在 2mm 直径的边缘处要求有一圆形或八边形的铜线作保护圈用。同一板上的光学定位基准符号其内层背景要相同,即三个基准符号下有无铜箔应一致。

(2) 局部基准点

间距 $\leq 0.4\text{mm}$ 的 QFP 和间距 $\leq 0.8\text{mm}$ BGA、CSP、FC 等器件需要放置局部基准点。

大小/形状：直径为 40mil 的实心圆。

阻焊开窗：大小按普通焊盘处理，外圈铜环可不要。

基准点放置：

一般原则：

过 SMT 设备加工的单板必须放置基准点。单面基准点数量 ≥ 3 。

单面布局时，只需元件面放置基准点。A5 I5 ^0 L- z1 m+ P PCB 双面布局时，基准点双面放置。双面放置的基准点，除镜像拼板外，正反两面的基准点位置要求基本一致。

(1) 拼板的基准点放置

拼板需要放置拼板基准点、单元基准点。

拼板基准点和单元基准点数量各为三个。在板边呈“L”形分布，尽量远离。拼板基准点的位置要求见下图 A。

采用镜相对称拼板时，辅助边上的基准点必须满足翻转后重合的要求，参见下图 B

(2) 单元板的基准点放置

基准点数量为三个，在板边呈“L”形分布，各基准点之间的距离尽量远。基准点距离板边必须大于 5mm，如不能保证四个边都满足，则至少要保证传送边满足要求。

时钟 PCB 走线设计的注意事项

布局

时钟晶体和相关电路应布置在 PCB 的中央位置并且要有良好的地层，而不是靠近 I/O 接口处。不可将时钟产生电路做成子卡或者子板的形式，必须做在单独的时钟板上或者承载板上。

在 PCB 时钟电路区域只布与时钟电路有关的器件，避免布设其他电路，晶体附近或者下面不要布其他信号线：在时钟发生电路、晶体下使用地平面，若其他信号穿过该平面，违反了映像平面功能，如果让信号穿越这个地平面的话，就会存在很小的地环路并影响地平面的连续性，这些地环路在高频时将会产生问题。

对于时钟晶体、时钟电路，可以采用屏蔽措施进行屏蔽处理；

若时钟外壳为金属，则 PCB 设计时一定要在晶体下方铺铜，并保证此部分与完整的地平面有良好的电气连接（通过多孔接地）。

时钟晶体下面铺地的好处：晶体振荡器内部的电路会产生射频电流，如果晶体是金属外壳封装的，直流电源脚是直流电压参考和晶体内部射频电流回路参考的依靠，通过地平面释放外壳被射频辐射产生的瞬态电流。总之，金属外壳是一个单端天线，最近的映像层、地平面层有时两层或者更多层做为射频电流对地的辐射耦合作用是足够的。晶体下铺地对散热也是有好处的。

时钟电路和晶体下铺地将提供一个映像平面，可以降低对相关晶体和时钟电路产生共模电流，从而降低射频辐射，地平面对差模射频电流同样有吸收作用，这个平面必须通过多点连接到完整的地平面上，并要求通过多个过孔，这样可以提供低的阻抗，为增强这个地平面的效果，时钟发生电路应该与这个地平面靠近。

SMT 封装的晶体将比金属外壳的晶体有更多的射频能量辐射：因为表贴晶体大多是塑料封装，晶体内部的射频电流会向空间辐射并耦合到其他器件。

共用时钟走线

对快速上升沿信号及时钟信号采用辐射状拓扑连接好于采用单个公共驱动源的网络串接，每个走线应该根据其特性阻抗采取端接措施来布线。

时钟传输线要求及 PCB 分层

时钟走线原则：在紧邻时钟走线层安排完整的映像平面层，减小走线的长度并进行阻抗控制。

错误的跨层走线和阻抗不匹配会导致：

走线使用过孔和跳转导致映像回路的不完整性；

映像平面上由于器件信号管脚上电压随着信号的变化而变化产生的浪涌电压；

如果走线没有考虑 3W 原则的话，不同时钟信号会引起串扰；

时钟信号的布线

时钟线一定要走在多层 PCB 板的内层。并且一定要走带状线；如果要走在外层，只能走微带线。

走在内层能保证完整的映像平面，它可以提供一个低阻抗射频传输路径，并产生磁通量，以抵消它们的源传输线的磁通量，源和返回路径的距离越近，则消磁就越好。由于增强了消磁能力，高密 PCB 板的每个完整平面映像层可提供 6—8dB 的抑制。

时钟布多层板的好处：有一层或者多层可以专门用于完整的电源和地平面，可以设计成好的去藕系统，减小地环路的面积，降低了差模辐射，减小了 EMI，减小了信号和电源返回路径的阻抗水平，可以保持全程走线阻抗的一致性，减小了邻近走线间的串扰等。

十一、PCB 叠层设计

在设计多层 PCB 电路板之前，设计者需要首先根据电路的规模、电路板的尺寸和电磁兼容（EMC）的要求来确定所采用的电路板结构，也就是决定采用 4 层，6 层，还是更多层数的电路板。确定层数之后，再确定内电层的放置位置以及如何在这些层上分布不同的信号。这就是多层 PCB 层叠结构的选择问题。层叠结构是影响 PCB 板 EMC 性能的一个重要因素，也是抑制电磁干扰的一个重要手段。本节将介绍多层 PCB 板层叠结构的相关内容。对于电源、地的层数以及信号层数确定后，它们之间的相对排布位置是每一个 PCB 工程师都不能回避的话题：

层的排布一般原则：

1、确定多层 PCB 板的层叠结构需要考虑较多的因素。从布线方面来说，层数越多越利于布线，但是制板成本和难度也会随之增加。对于生产厂家来说，层叠结构对称与否是 PCB 板制造时需要关注的焦点，所以层数的选择需要考虑各方面的需求，以达到最佳的平衡。对于有经验的设计人员来说，在完成元器件的预布局后，会对 PCB 的布线瓶颈处进行重点分析。结合其他 EDA 工具分析电路板的布线密度；再综合有特殊布线要求的信号线如差分线、敏感信号线等的数量和种类来确定信号层的层数；然后根据电源的种类、隔离和抗干扰的要求来确定内电层的数目。这样，整个电路板的板层数目就基本确定了。

2、元件面下面（第二层）为地平面，提供器件屏蔽层以及为顶层布线提供参考平面；敏感信号层应该与一个内电层相邻（内部电源/地层），利用内电层的大铜膜来为信号层提供屏蔽。电路中的高速信号传输层应该是信号中间层，并且夹在两个内电层之间。这样两个内电层的铜膜可以为高速信号传输提供电磁屏蔽，同时也能有效地将高速信号的辐射限制在两个内电层之间，不对外造成干扰。

3、所有信号层尽可能与地平面相邻；

4、尽量避免两信号层直接相邻；相邻的信号层之间容易引入串扰，从而导致电路功能失效。在两信号层之间加入地平面可以有效地避免串扰。

5、主电源尽可能与其对应地相邻；

6、兼顾层压结构对称。

7、对于母板的层排布，现有母板很难控制平行长距离布线，对于板级工作频率在 50MHZ 以上的（50MHZ 以下的情况可参照，适当放宽），建议排布原则：

元件面、焊接面为完整的地平面（屏蔽）；

无相邻平行布线层；

所有信号层尽可能与地平面相邻；

关键信号与地层相邻，不跨分割区。

注：具体 PCB 的层的设置时，要对以上原则进行灵活掌握，在领会以上原则的基础上，根据实际单板的需求，如：是否需要一关键布线层、电源、地平面的分割情况等，确定层的排布，切忌生搬硬套，或抠住一点不放。

8、多个接地的内电层可以有效地降低接地阻抗。例如，A 信号层和 B 信号层采用各自单独的地平面，可以有效地降低共模干扰。

常用的层叠结构：

4 层板

下面通过 4 层板的例子来说明如何优选各种层叠结构的排列组合方式。

对于常用的 4 层板来说，有以下几种层叠方式（从顶层到底层）。（1）Siganl_1 (Top)，GND (Inner_1)，POWER (Inner_2)，Siganl_2 (Bottom)。（2）Siganl_1 (Top)，POWER (Inner_1)，GND (Inner_2)，Siganl_2 (Bottom)。

（3）POWER (Top)，Siganl_1 (Inner_1)，GND (Inner_2)，Siganl_2 (Bottom)。

显然，方案 3 电源层和地层缺乏有效的耦合，不应该被采用。那么方案 1 和方案 2 应该如何进行选择呢？一般情况下，设计人员都会选择方案 1 作为 4 层板的结构。选择的原因并非方案 2 不可被采用，而是一般的 PCB 板都只在顶层放置元器件，所以采用方案 1 较为妥当。但是当在顶层和底层都需要放置元器件，而且内部电源层和地层之间的介质厚度较大，耦合不佳时，就需要考虑哪一层布置的信号线较少。对于方案 1 而言，底层的信号线较少，可以采用大面积的铜膜来与 POWER 层耦合；反之，如果元器件主要布置在底层，则应该选用方案 2 来制板。如果采用如图 11-1 所示的层叠结构，那么电源层和地线层本身就已经耦合，考虑对称性的要求，一般采用方案 1。

6 层板

在完成 4 层板的层叠结构分析后，下面通过一个 6 层板组合方式的例子来说明 6 层板层叠结构的排列组合方式和优选方法。(1) Sigal_1 (Top), GND (Inner_1), Sigal_2 (Inner_2), Sigal_3 (Inner_3), POWER (Inner_4), Sigal_4 (Bottom)。

方案 1 采用了 4 层信号层和 2 层内部电源/接地层，具有较多的信号层，有利于元器件之间的布线工作，但是该方案的缺陷也较为明显，表现为以下两方面。① 电源层和地线层分隔较远，没有充分耦合。② 信号层 Sigal_2 (Inner_2) 和 Sigal_3 (Inner_3) 直接相邻，信号隔离性不好，容易发生串扰。(2) Sigal_1 (Top), Sigal_2 (Inner_1), POWER (Inner_2), GND (Inner_3), Sigal_3 (Inner_4), Sigal_4 (Bottom)。

方案 2 相对于方案 1，电源层和地线层有了充分的耦合，比方案 1 有一定的优势，但是 Sigal_1 (Top) 和 Sigal_2 (Inner_1) 以及 Sigal_3 (Inner_4) 和 Sigal_4 (Bottom) 信号层直接相邻，信号隔离不好，容易发生串扰的问题并没有得到解决。(3) Sigal_1 (Top), GND (Inner_1), Sigal_2 (Inner_2), POWER (Inner_3), GND (Inner_4), Sigal_3 (Bottom)。

相对于方案 1 和方案 2，方案 3 减少了一个信号层，多了一个内电层，虽然可供布线的层面减少了，但是该方案解决了方案 1 和方案 2 共有的缺陷。① 电源层和地线层紧密耦合。② 每个信号层都与内电层直接相邻，与其他信号层均有有效的隔离，不易发生串扰。③ Sigal_2 (Inner_2) 和两个内电层 GND (Inner_1) 和 POWER (Inner_3) 相邻，可以用来传输高速信号。两个内电层可以有效地屏蔽外界对 Sigal_2 (Inner_2) 层的干扰和 Sigal_2 (Inner_2) 对外界的干扰。

综合各个方面，方案 3 显然是最优化的一种，同时，方案 3 也是 6 层板常用的层叠结构。通过对以上两个例子的分析，相信读者已经对层叠结构有了一定的认识，但是在有些时候，某一个方案并不能满足所有的要求，这就需要考虑各项设计原则的优先级问题。遗憾的是由于电路板的板层设计和实际电路的特点密切相关，不同电路的抗干扰性能和设计侧重点各有所不同，所以事实上这些原则并没有确定的优先级可供参考。但可以确定的是，设计原则 2 (内部电源层和地层之间应该紧密耦合) 在设计时需要首先得到满足，另外如果电路中需要传输高速信号，那么设计原则 3 (电路中的高速信号传输层应该是信号中间层，并且夹在两个内电层之间) 就必须得到满足。

10 层板

PCB 典型 10 层板设计

一般通用的布线顺序是 TOP—GND—信号层—电源层—GND—信号层—电源层—信号层—GND—BOTTOM

本身这个布线顺序并不一定是固定的，但是有一些标准和原则来约束：如 top 层和 bottom 的相邻层用 GND，确保单板的 EMC 特性；如每个信号层优选使用 GND 层做参考平面；整个单板都用到的电源优先铺整块铜皮；易受干扰的、高速的、沿跳变的优选走内层等等。

PCB 设计软件介绍

PCB 软件是指用于设计、制作和测试电子电路板的计算机程序。随着科技的发展，越来越多的 PCB 软件被开发出来，使得电子工程师们可以更加高效地进行电路板的设计和制造。

1. Altium Designer

Altium Designer 是一种流行的 PCB 设计软件，广泛应用于电子行业。它提供了一个完整的设计环境，包括原理图设计、布局设计、3D 模型设计、自动布线、仿真分析等功能。Altium Designer 还支持多种文件格式，如 OrCAD、PADS 等，方便与其他软件进行数据交换。

此外，Altium Designer 还具有易于使用的界面和强大的自动化功能，可以大大提高设计效率。

2. Eagle PCB Design

Eagle PCB Design 是一款简单易用的 PCB 设计软件，适合初学者使用。它提供了基本的原理图设计、布局设计、自动布线等功能，同时支持多种文件格式，如 Gerber、DXF 等。Eagle PCB Design 还具有友好的用户界面和丰富的文档资源，可以帮助用户快速上手。

3. KiCAD

KiCAD 是一款免费的开源 PCB 设计软件，适用于电路板设计师和学生。它提供了原理图设计、布局设计、自动布线、3D 模型设计等功能，并支持多种文件格式，如 Gerber、DXF 等。KiCAD 还具有强大的自定义功能和扩展性，可以根据用户需求进行定制和扩展。

4. Proteus

Proteus 是一款流行的电路仿真软件，也可用于 PCB 设计。它提供了原理图设计、布局设计、自动布线等功能，并支持多种元件库和模拟器。Proteus 还具有强大的仿真功能和可视化效果，可以帮助用户更好地理解电路的工作原理。

5. EasyEDA

EasyEDA 是一款在线 PCB 设计软件，适用于初学者和小型团队。它提供了原理图设计、布局设计、自动布线等功能，并支持多种文件格式和元件库。EasyEDA 还具有友好的用户界面和社区支持，可以帮助用户快速学习和解决问题。

6. KiCadboard Designer

KiCadboard Designer 是一款基于 KiCad 的 PCB 设计软件，适用于电路板设计师和学生。它提供了原理图设计、布局设计、自动布线等功能，并支持多种文件格式和元件库。KiCadboard Designer 还具有强大的自定义功能和扩展性，可以根据用户需求进行定制和扩展。

7. CircuitMaker

CircuitMaker 是一款在线 PCB 设计软件，适用于初学者和小型团队。它提供了原理图设计、布局设计、自动布线等功能，并支持多种文件格式和元件库。CircuitMaker 还具有友好的用户界面和社区支持，可以帮助用户快速学习和解决问题。

8. Cadence Allegro

Cadence Allegro 是一款专业的 PCB 设计软件，适用于大型企业和高端电子工程师。它提供了完整的电路板设计流程，包括原理图设计、布局设计、仿真分析、自动布线等功能，并支持多种文件格式和元件库。Cadence Allegro 还具有强大的自定义功能和扩展性，可以满足用户的各种需求。

随着科技的发展和技术的进步，PCB 软件也在不断发展和完善。以上介绍的几款 PCB 软件都是常用的工具，它们各有优缺点，用户可以根据自己的需求选择适合自己的软件。无论使用哪种 PCB 软件，都需要掌握其基本操作和原理，才能更好地进行电路板的设计和制造。

PCB 设计的基本操作

嘉立创 EDA 目前有两个版本，立创 EDA 专业版和立创 EDA 标准版。

嘉立创 EDA 专业版是立创 EDA 团队花费一年的时间，全力打造的一个全新的版本，在 2019 年末推出，请以一个新的工具来对待，立创 EDA 标准版的某些功能和宽松限制不一定会提供。

嘉立创 EDA 专业版的数据和立创 EDA 标准版的数据不互通，请查看最下面的导入章节，导入标准版的工程文件。

嘉立创 EDA 专业版功能更加强大，标准版的遗留问题都会解决掉，全新的 PCB 绘制。PCB 基于 WebGL 引擎，可以流畅提供数万焊盘的 PCB 设计，各种约束也会加强，提供更加强大的规则管理等。各种约束也会加强，提供更加强大的规则管理等。更强大的器件选型功能，不需要频繁在立创商城和立创 EDA 编辑器之间来回切换。提供了器件概念，器件 = 符号 + 封装 + 3D 模型 + 属性，只允许放置器件在原理图/PCB 画布中。加强库的复用。

支持层次图绘制，可以支持多达 500 页原理图页绘制，PCB 支持五万个元件依然可以流畅缩放和平移和布线。支持一个工程多个单板设计。更强大的 DXF 导入导出，更强大的 PDF 导出。

内置自动布线功能，标准版需要外接自动布线插件。立创 EDA 专业版还在不断开发中，立创 EDA 标准版原有的一些功能将逐步提供。

嘉立创 EDA 标准版

嘉立创 EDA 标准版立项于 2011 年，最先推出海外版本 EasyEDA，2017 正式推出国内版本立创 EDA。

嘉立创 EDA 标准版的某些功能和宽松限制不一定会在专业版提供。嘉立创 EDA 标准版基于 SVG，在一些大一点的板子会比较卡顿。嘉立创 EDA 标准版后续将以修复 BUG 为主，大功能基本不再增加；主推立创 EDA 专业版，建议尽快迁移到专业版。

数据：

嘉立创 EDA 专业版的数据和立创 EDA 标准版的数据不互通，提供标准版数据迁移到专业版，在专业版开始页有迁移入口。支持导入标准版到专业版。请查看最下面的导入章节，导入标准版的工程文件。

库文件：

嘉立创 EDA 专业版提供了一个器件概念，器件 = 符号 + 封装 + 3D 模型 + 属性参数，以实现高度复用，只允许放置器件在原理图画布中。标准版不能进行符号库复用。专业版暂不支持原理图模块和 PCB 模块。

嘉立创 EDA 专业版文件类型介绍

嘉立创 EDA 标准版的文件类型后缀基本都是 json，在嘉立创 EDA 专业版我们扩展了很多个文件类型，不再使用 json 后缀存储工程文档。

立创 EDA 专业版提供一个现代简约易用的界面，可以很方便找到常用的功能入口。



顶部菜单

提供左上角的顶部菜单，和右上角的用户菜单

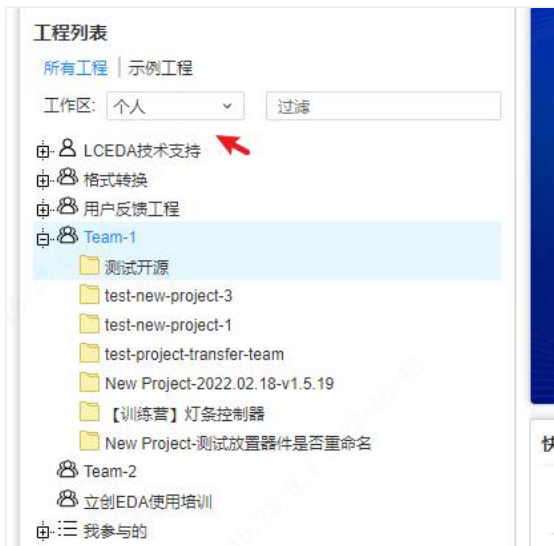


在头像下拉支持打开个人中心和工作区，和退出登录。头像左侧可以切换编辑器语言和工作区。

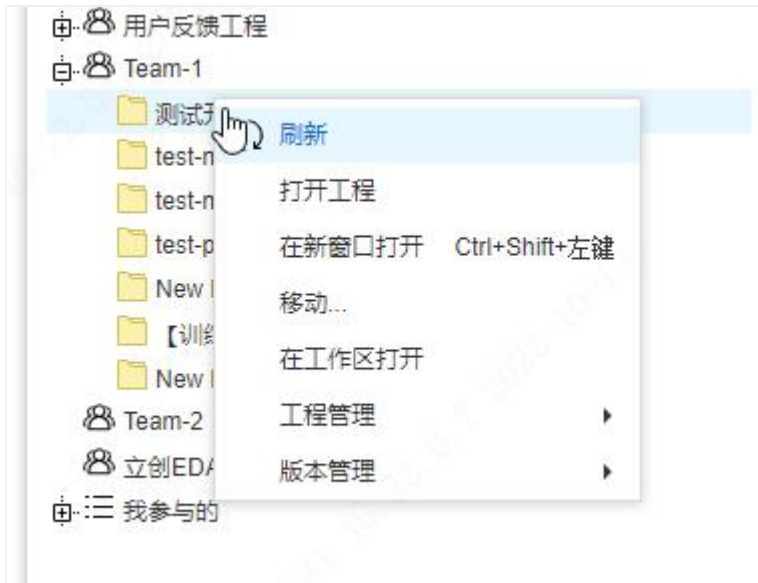


工程列表

立创 EDA 专业版的左侧面板是显示当前用户的所有工程，包括加入的团队工程，双击可打开工程。



支持切换工作区的工程列表，也支持工程右键菜单等操作



快捷入口

编辑器中间左侧是一下快速创建方式的列表，能够在主页中快速创建工程、符号器件等操作。



快捷方式

中间右侧是一些常用的网站快捷方式，可手动添加自己常用的网站。



点击“+”号进行添加网站

在弹窗中输入名称、网址和更换图标。图标的尺寸建议 48x48px 的，过大载入图标会显示错误。



最近设计

底部面板是显示最近设计的工程，还有符号、封装、复用图块。双击可打开相应的工程。



消息区

编辑器主页右下是显示我们立创EDA公布的一些信息。



轮播图

右上侧图标是我们专业版教程的链接，点击是可以跳转至我们立创 EDA 专业版的使用教程中。

立创 EDA 专业版创建工程时会默认创建一个板子、一个原理图和一个 PCB，无需再创建工程后再创建 PCB。

注意：需要创建好工程文件和板子才能创建图页。

操作步骤：

- 编辑器开始页，直接创建工程
- 顶部菜单 - 新建 - 工程。新建工程会自动创一个板子，里面包含原理图和 PCB

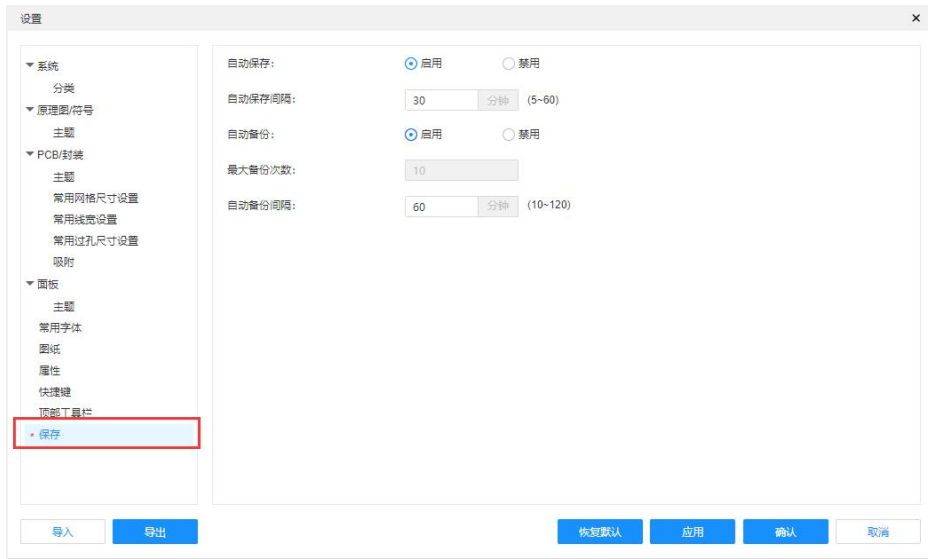


自动创建版本

把工程备份到我们立创 EDA 专业版的云端，备份可分为自动备份和手动备份两种。

自动备份需要在设置中先打开，勾选启用，即可开启自动备份，自动备份的备份次数最多为 10 份，超出 10 分会把旧的备份给覆盖。

自动备份的时间可设置为 10-120 分钟。

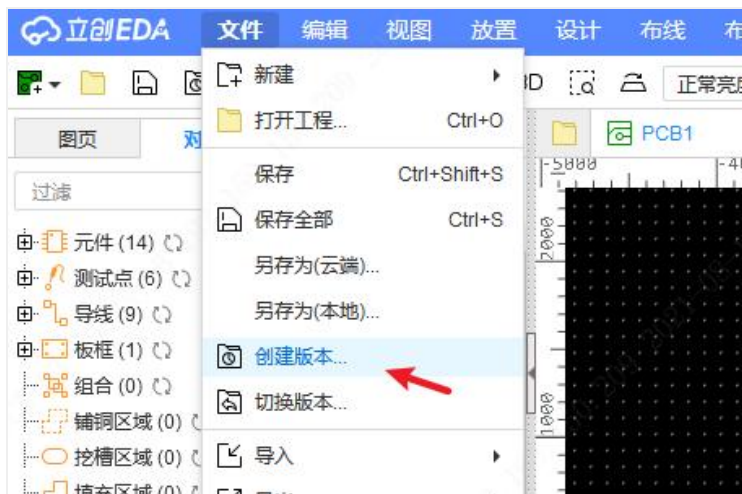


手动创建版本

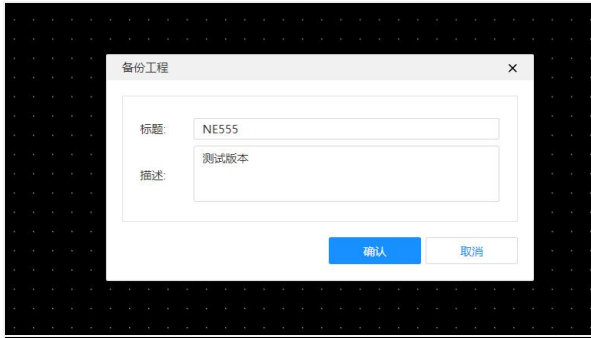
自动备份则需要手动的讲工程备份到服务器中，手动备份的数量最多只能为 15 份。

操作步骤：

- 顶部菜单 - 文件 - 创建版本



在弹窗中输入名称以及描述，点击确定即可备份在云端。



切换版本

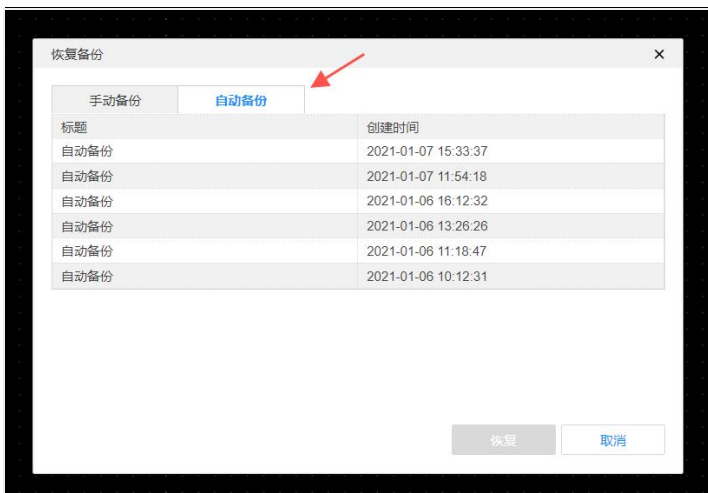
目前立创 EDA 专业版暂不支持直接在工程上切换版本，目前的切换版本是以新建工程的方式实现。

把在云端或之前设计的工程恢复

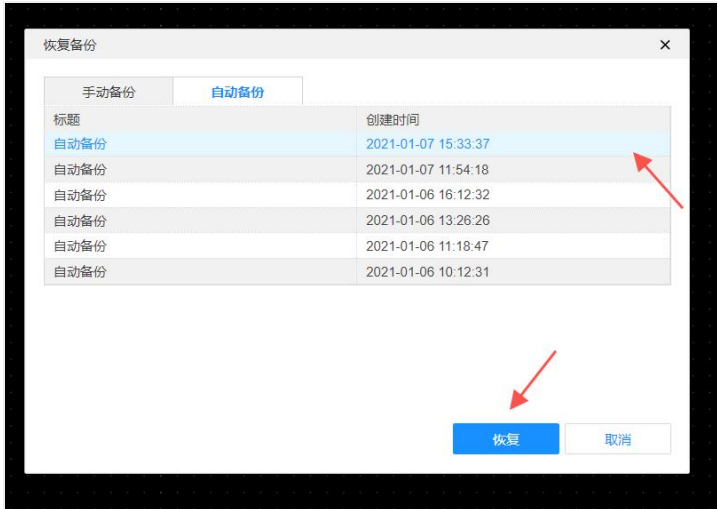
创建方法：

部菜单栏 - 文件 - 切换版本

弹窗中显示的是自动备份和手动备份的工程、创建时间和描述。

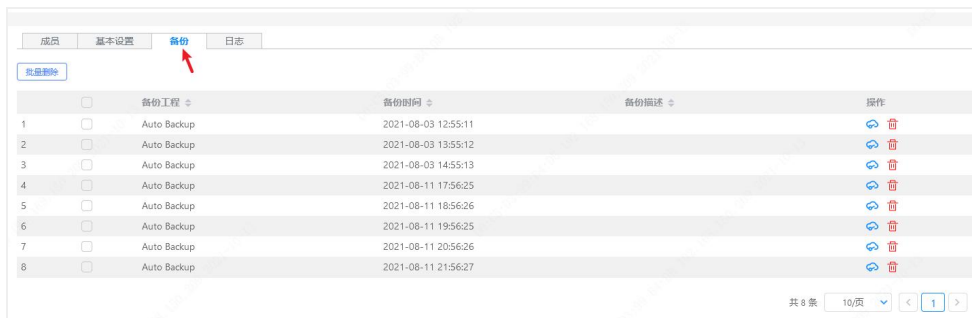


选择需要恢复的工程文件，点击恢复，即可把备份的工程重新导入到编辑器中，导入备份的工程与原工程不会冲突。



备份管理

在工作区打开工程详情页面，也可以看到工程的备份列表：



可以进行删除操作。

第二章 原理图绘制

教学目标：

掌握 PCB 设计的整个工作过程、熟悉原理图设计和 PCB 设计的基本操作、了解原理图元件库编辑的基本方法

教学重点：

原理图设计环境的设置、原理图元件库编辑的基本操作、弱信号电路元器件布局的基本要求、PCB 设计的工艺要求

教学难点：

原理图设计环境的设置、原理图元件库编辑的基本操作、弱信号电路元器件布局的基本要求、PCB 设计的工艺要求

教学方式：讲授法、演示

教学时数：26 学时

作业：掌握 eda 的基本操作，完成放大电路等电路设计，绘制原理图，完成 PCB 图。

教学内容：

原理图设计环境的设置和原理图元件库编辑的基本操作

操作入口：

- 顶部菜单 - 设置 - 原理图/符号



通用

网格类型：设置默认的画布。

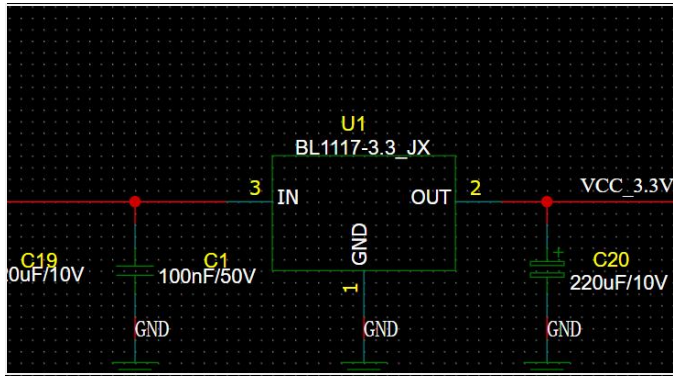


是**网点**、**网格**、**无**。

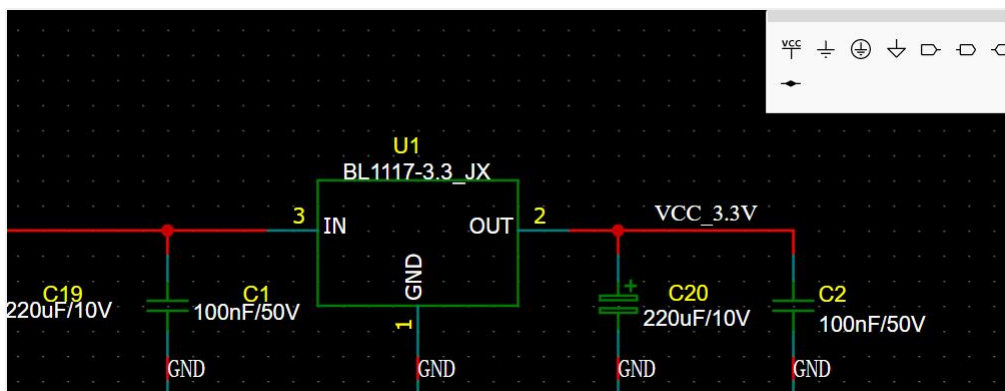


十字光标：设置原理图编辑器的光标大小；

线宽显示：设置线宽整体器件线宽的大小；

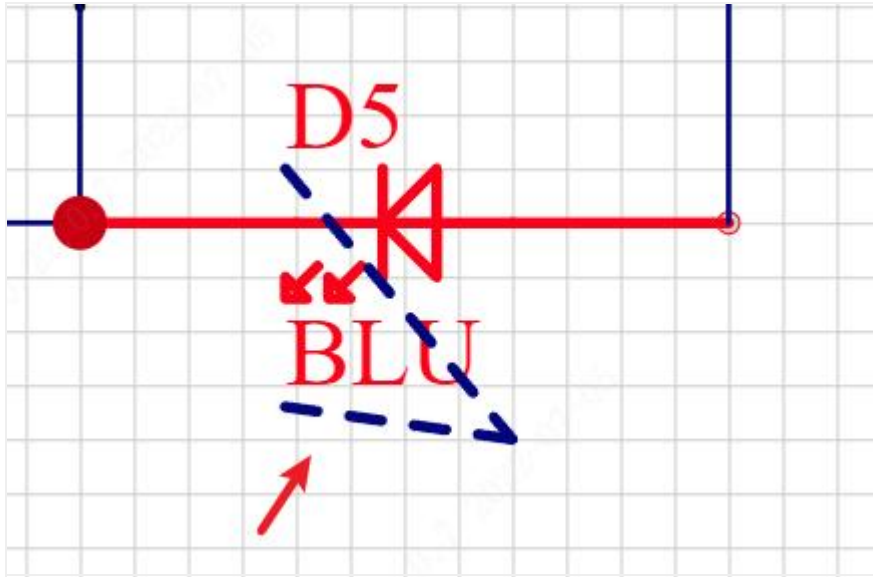


开启跟随缩放变化的线条效果会变得比较粗。

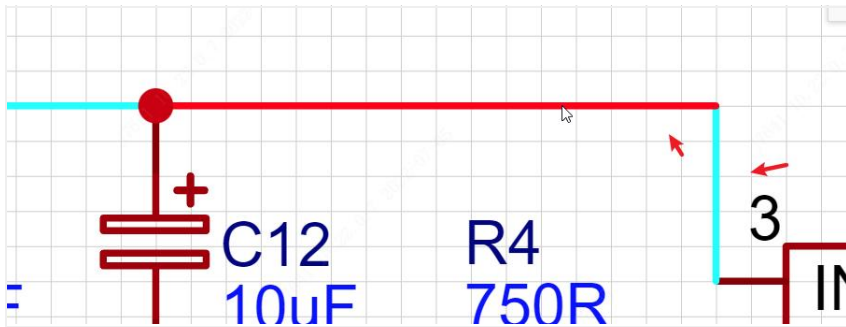


默认网格尺寸： 打开原理图或者符号库的网格尺寸。ALT 吸附网格是指当按住 ALT 键时，进行绘制或者移动图元移动或吸附的网格大小。

指示线： 根据设置是否显示元件原点和元件属性之间的指示线。



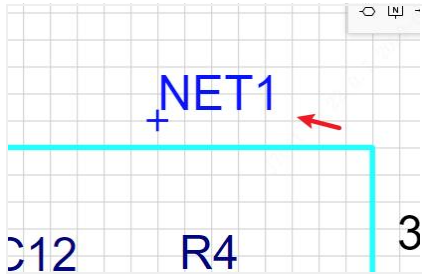
单击导线选中：可以根据自己的使用习惯，切换单击导线时的选中范围，单段选中或者整段选中。



复制/剪切：复制/剪切的时候是否需要选择参考点。

拖动网络名：当拖动导线的网络名离开导线上的处理方式。

- 调整属性位置：只移动属性名的位置，不影响导线的网络名。专业版之前的行为，和 PADS, Orcad 的网络标签行为类似。
- 修改网络名：网络名离开导线上时，导线的网络名会被清空，类似 Altium 和标准版的网络标签行为。



移动符号，导线跟随方式：设置导线是否跟随元件移动。



其他：

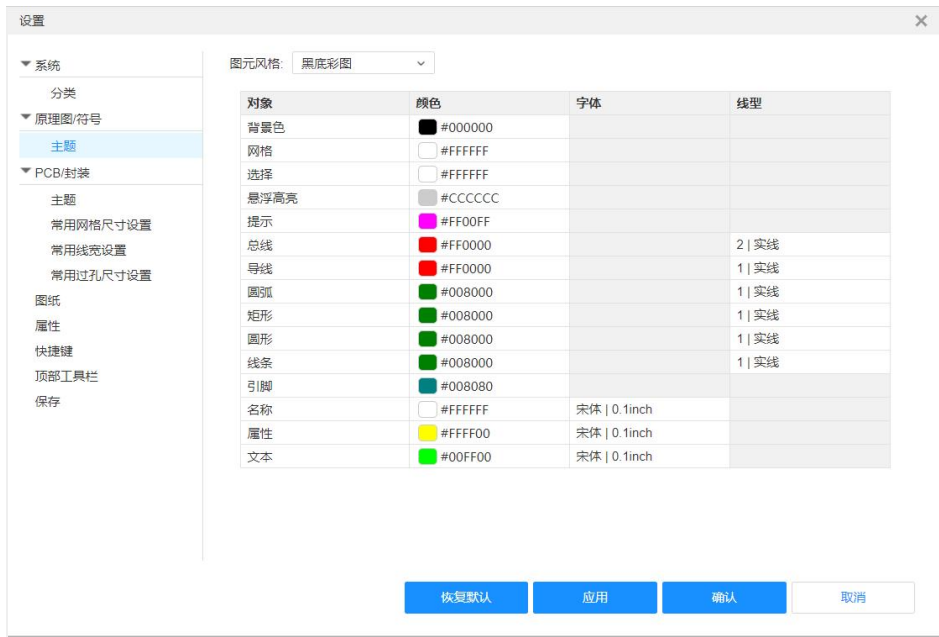
- 符号编辑器显示标尺：是否显示画布标尺
- 放置或粘贴器件自动分配位号(粘贴不支持多部件元件/子库)：在器件放置的时候是否自动分配位号。将以最大值开始分配。
- 鼠标悬浮导线高亮整个网络：当鼠标悬浮到导线上时，高亮当前画布的全部相同网络名的导线。
- 旋转元件时自动调整属性位置：如果不勾选，元件旋转的时候，属性也跟随旋转。

每页元件放置数量：目前原理图放置器件数量过多会比较卡顿，所以加了数量检测，建议一页放置 100 个元件以下，通过创建分页来放置其他器件。

主题

原理图主题设置

这里可以修改原理图图页的背景色或文本的颜色修改。



使用快捷键 **Alt+D** 调出底部弹窗，选择器件库，器件中库中有立创商城的库和立创 EDA 的系统库。

说明：系统基础库不支持自定义！

器件库

器件库是包含了符号、封装、3D 模型、图片的一个器件库，器件库有系统的基础库，个人的器件库以及团队的器件库。



使用筛选器可快速找到想要的零件，比如输入 0603 可快速搜索出与 0603 有关的器件。



可以双击器件列表或者选中后点击“放置”按钮进行放置，底部面板会自动收起，取消放置时会再自动打开。

对于器件列表的具体功能请查看：“[器件库 - 器件列表](#)”章节。

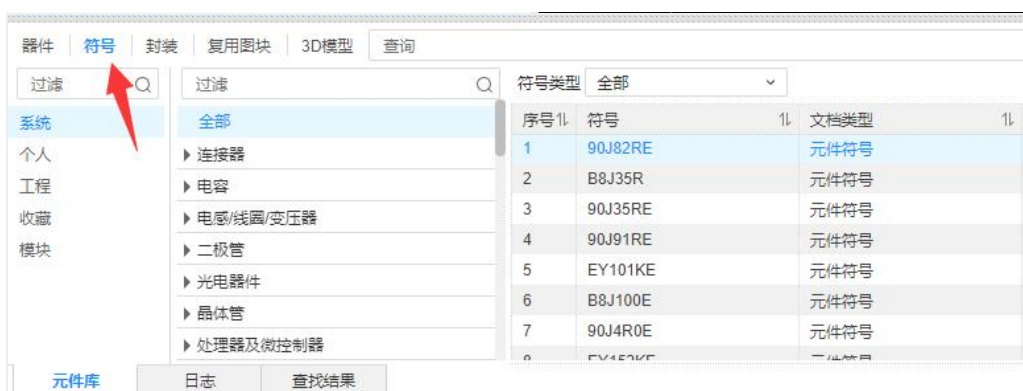
也可以通过器件对话框，**SHIFT+F** 打开，进行放置。

说明：放置器件独立对话框只能放置器件，不能对器件进行编辑操作。

符号库

符号库只是仅仅有一个符号而已，没有封装与 3D 模型，符号库的符号是不能在原理图的画布中，需要绑定器件才允许放置在画布中。符号库有系统的库、个人的库、团队的符号库，

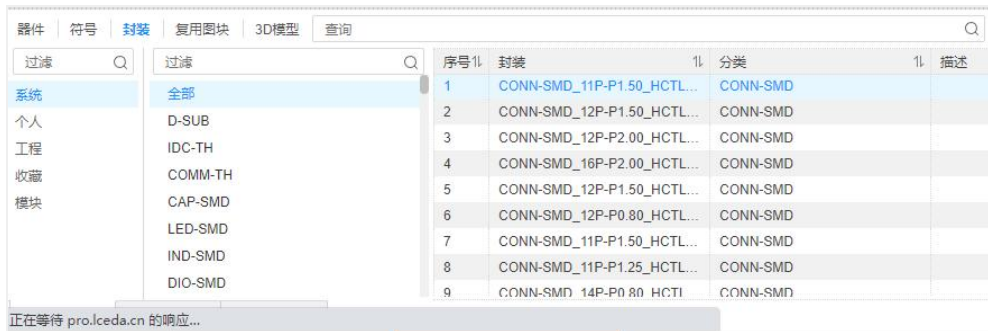
注意：系统的符号库不可编辑！



封装库

封装库页是只有一个封装而已，没有符号和 3D 模型，封装不能单独放入 PCB 中。封装库

也有系统的库、个人的库、团队的符号库。



元件库在 PCB 界面中的底部面板中，元件库中的器件库可以直接在 PCB 界面中放置器件，

符号、封装和复用图块则不能放置。

元件库中包含了系统库、个人库、收藏库和加入团队的元件库。而元件库中又包含了器件

库、符号库、封装库、复用图块



器件搜索

器件库顶部的搜索是全局搜索，在整个元件库中搜索



而下面的搜索框是对系统或个人的器件库进行分类搜索

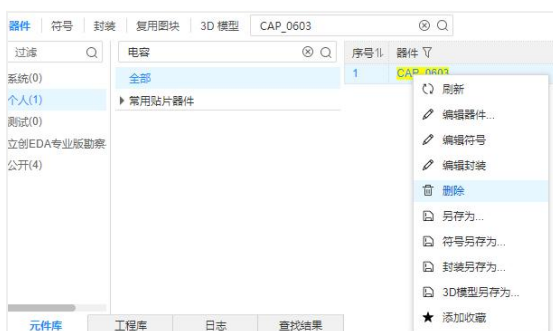


编辑元件

在元件库中选择任意器件，点击鼠标右键，即可对器件修改。

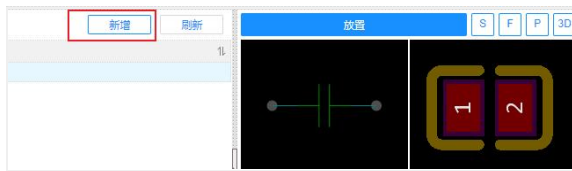
说明：

- 系统库不支持修改！



新增器件

在元件库中点击右上方的新增按键，可快速创建器件，符号和封装操作相同。



操作演示视频：

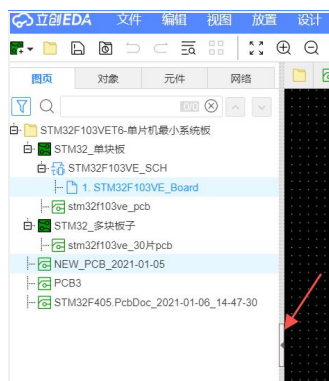
https://www.bilibili.com/video/BV1sP411V7HX/?spm_id_from=333.999.0.0

弱信号电路元器件布局的基本要求

视图布局是将左右两侧的面板和顶、底部面板收起，让编辑器的界面更加大，简洁。

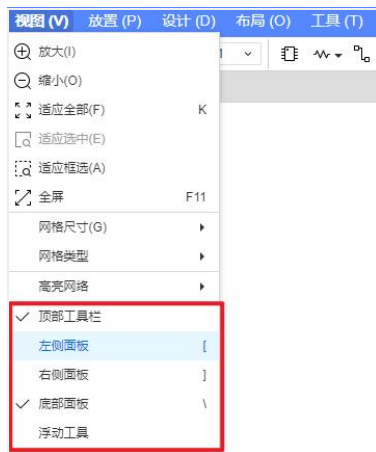
收起面板

点击面板旁边的箭头，即可收起面板。



打开面板

收起的面板都会放置在编辑器的最边缘处，需要打开是可点击边缘处的箭头，就可以打开收起的面板，底部面板可以使用快捷键“S”来打开或在顶部菜单 - 视图中选择打开面板。





设计的工艺要求

PCB 设计规则设置

设置电气规则检查的提示错误的等级信息。



这里可以看到规则的错误信息等级，并且可以对错误等级进行修改。



也可以进行等级的修改。

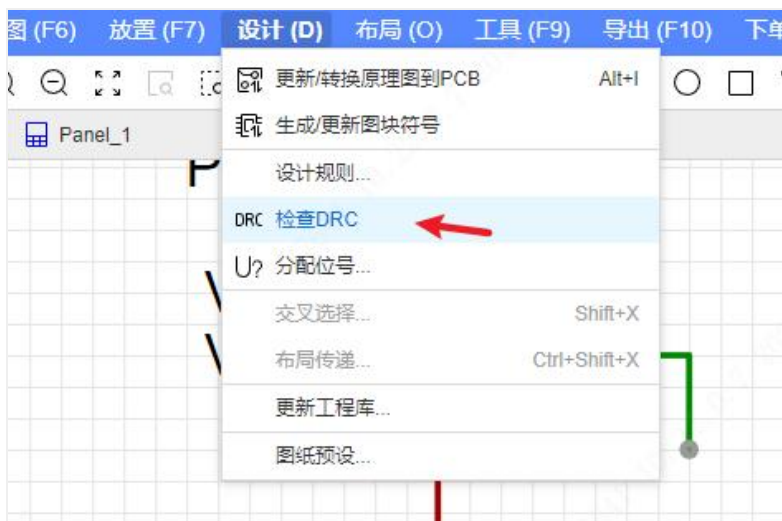
No.	设计规则	消息等级
1	当原理图图页有复用图块符号时，复用图块不能没有底层原理图	致命错误
2	元件需要有“器件”、“封装”属性，不能为空	致命错误
3	元件如果有“值”属性，不能为空	错误
4	元件的引脚需要有“编号”属性，不能为空	警告
5	多个引脚的连接端点位置不能重叠	提醒
6	总线名需要符合规则	致命错误
7	网络名需要符合规则	致命错误
8	通过总线分支跟总线相连的导线，必须有名称且符合所连总线的命名规则	致命错误

也可以在修改规则后立即检查 DRC 规则。



设计规则检查(DRC)

在导入 PCB 前检查封装、符号、文本等符合规则或者有没有冲突的检查。



检查的结果在底部的 DRC Tab 显示出来。



单击提示信息可高亮，双击提示可高亮并定位错误点。



注意：不加入 BOM 和不转到 PCB 的元件不纳入设计规则检查。

封装管理器

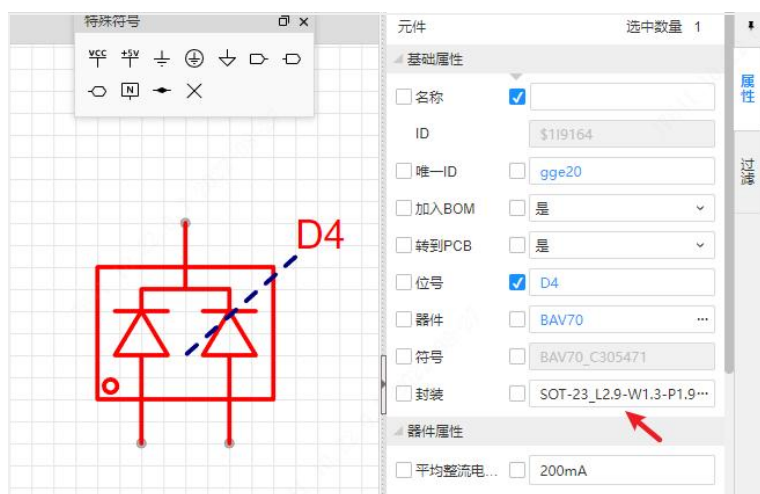
批量修改封装，如果原理图中同样封装的器件很多时，那么批量修改封装将大大减少你的工作量。在原理图界面打开封装管理器

操作入口：

- 顶部菜单 - 工具 - 封装管理器

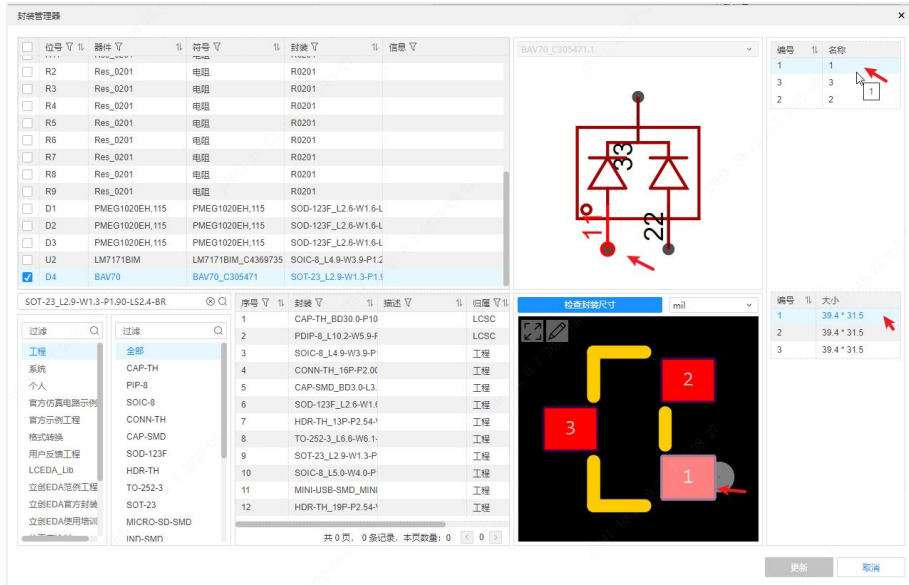


或者选中元件后，在右边属性面板点击封装属性输入框

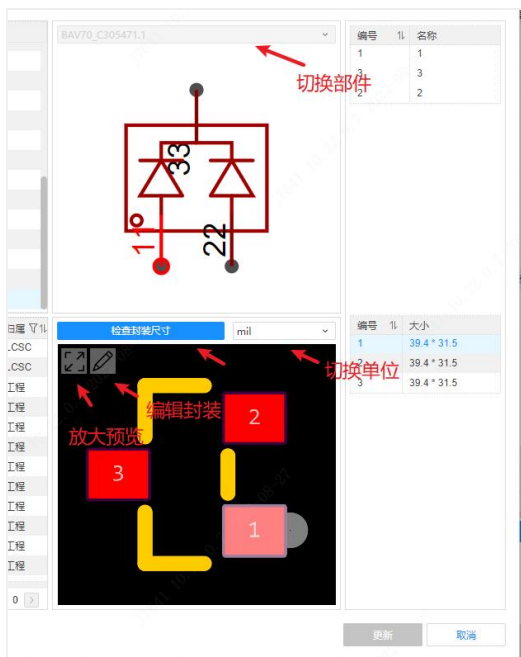


打开后可以看到在工程下所有器件的符号和封装，上边是符号，下边则是封装。

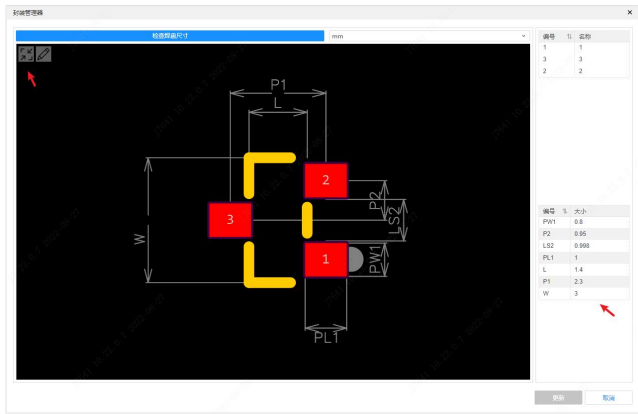
鼠标移动在右侧的引脚列表时，对应的相同编号的封装焊盘也会同时高亮，方便定位



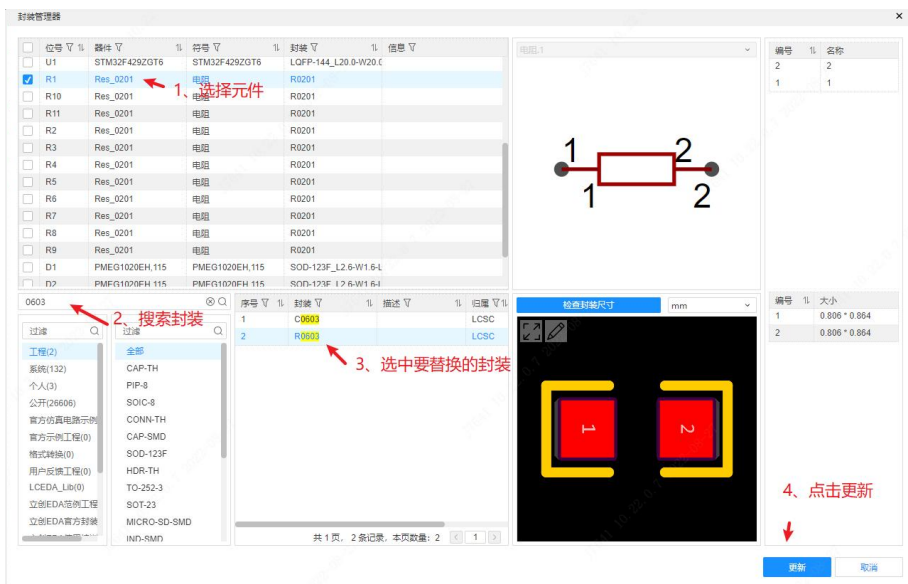
符号和封装预览区域支持滚轮缩放显示。符号如果是多部件可以在顶部切换部件，封装支持切换单位，检查封装尺寸，放大预览，编辑封装(直接打开选中的封装)。



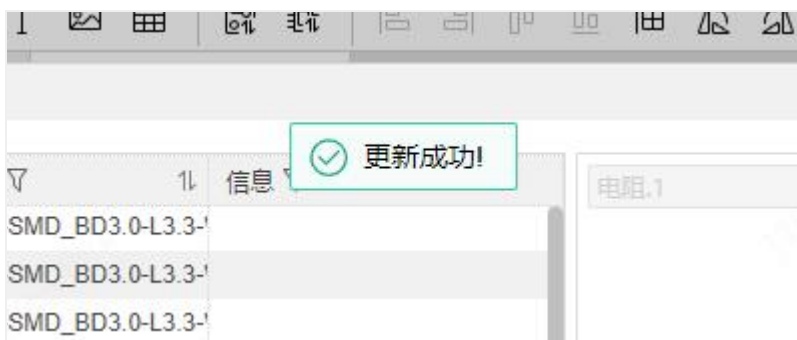
全屏预览封装和检查尺寸时:



在左侧选择要修改的元件，搜索或选择需要替换的封装，点击更新即可把最新的封装更新到原理图。



更新完成后中央消息提示。



提示：

- 当元件没有封装，或者符号的引脚编号和封装焊盘编号不匹配时，元件列表的信息列会报错，列出报错信息。
- 元件的引脚编号全部在封装焊盘编号匹配，否则无法转 PCB 或更新 PCB。引脚数量可以比焊盘数量少。

铺铜的意义和基本操作

如果你想保留整块铜箔区域使其接地或者接电源，你可以使用“铺铜”功能。

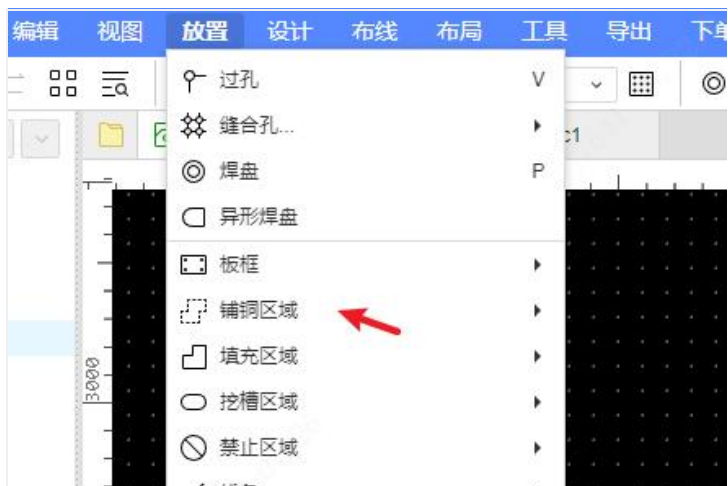
点击后可以围绕你想铺铜的区域绘制铺铜区，可以直接在板子边框外部绘制，不需要沿着板子边框，嘉立创 EDA 会自动裁剪多余的铜箔。

绘制铺铜

顶层和底层需要分别绘制。一块板子可以绘制多个铺铜区，并分别设置。

操作入口：

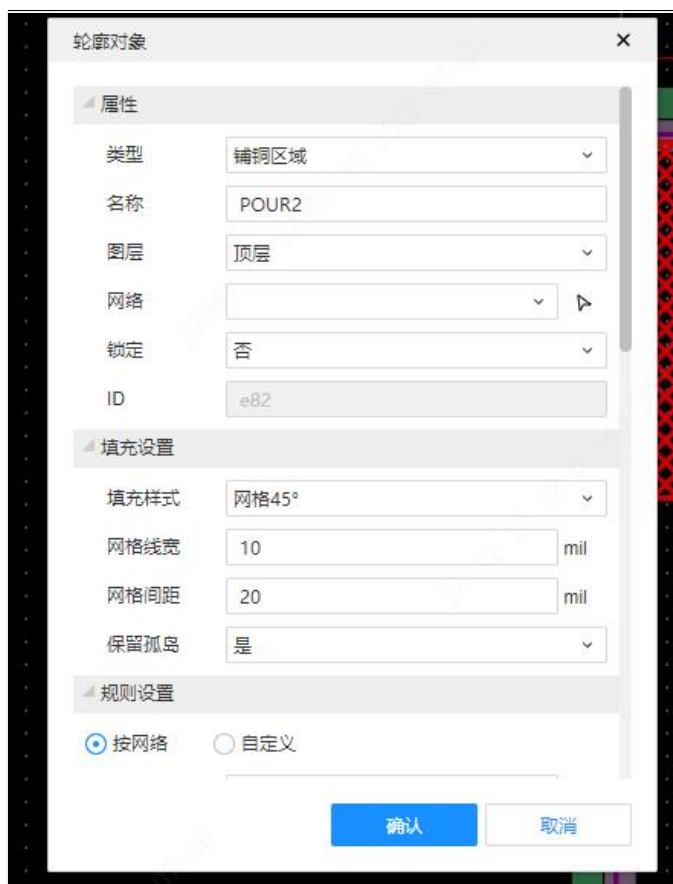
- 顶部菜单 - 放置 - 铺铜区域；顶部工具栏 - 铺铜区域
- 快捷键 **E**



绘制矩形铜皮，



绘制完之后弹出属性窗口进行属性设置。



铺铜属性

-

类型：EDA 默认为铺铜边框类型；

-

-

名称：可以为铺铜设置不同的名称。

-

-

图层：可以修改铺铜区的层：顶层. 底层. 内层 1. 内层 2. 内层 3. 内层 4。当内层的类型

是内电层时，无法绘制铺铜；

-

-

网络：设置铜箔所连接的网络。当网络和画布上的元素网络相同时，铺铜才可以和元素连

接，并会显示出来，否则铺铜会被认为是孤岛被移除。

-

-

锁定：仅锁定铺铜的位置。锁定后将无法通过画布修改铺铜大小和位置；

-

-

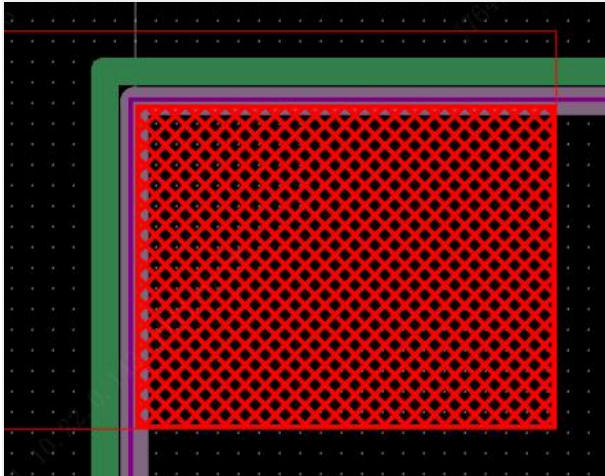
填充样式：

-

- 全填充：正常的铺铜填充样式；

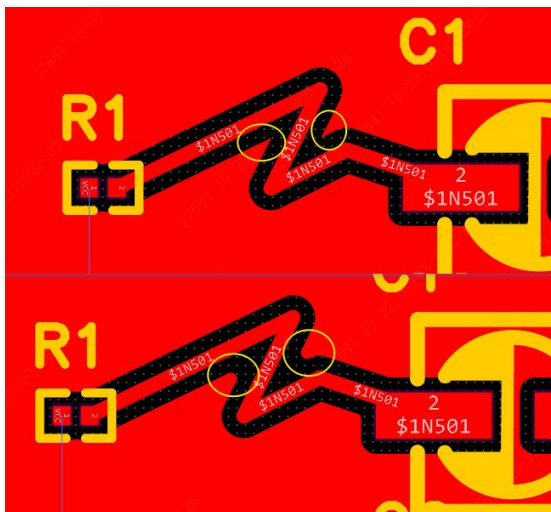
- 网格 45：该区域的填充为 45 度网格填充。

- 网格 90：该区域的铺铜填充为 90 度的网络类型。



保留孤岛：是或否。即是否去除死铜。若铺铜的一小块填充区域没有设置网络，那么它将被视为死铜而去除，若想保留铺铜，可选择保留孤岛或为铺铜设置一个相邻焊盘相同的网络，并重建铺铜 SHIFT+B ；

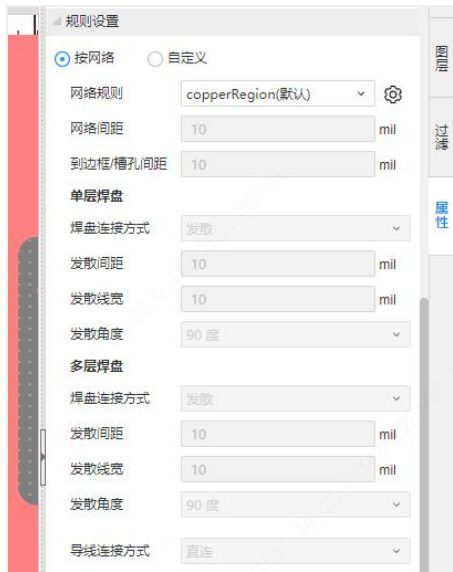
制造优化：仅在填充样式为全填充时出现，网格铺铜默认启用制造优化。默认是，将移除铺铜的尖角和小于 8mil 的细铜线，利于生产制造；设置为否则显示尖角和细铜线；



重建铺铜：根据选中的铺铜进行重建。快捷键 SHIFT+B 会把全部铺铜（包括内电层）一起重建。

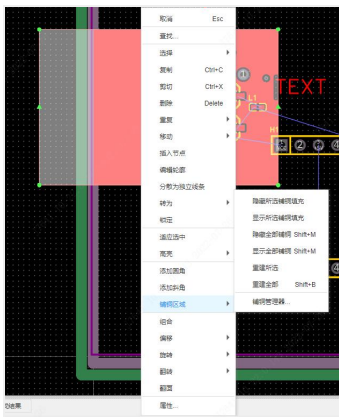
自动放置缝合孔：根据选中的铺铜自动放置缝合孔(批量过孔)。

规则设置：可以根据网络切换铺铜规则，和自定义铺铜规则。不支持直接修改铺铜的属性。



右键菜单

选中铺铜区域后右键菜单，提供了很多快捷功能。



- **编辑轮廓：**修改铺铜的轮廓形状。
- **转为：**把铺铜区域转为填充区域，禁止区域等。
- **铺铜区域：**可以显示隐藏铺铜区域；重建铺铜区域等。

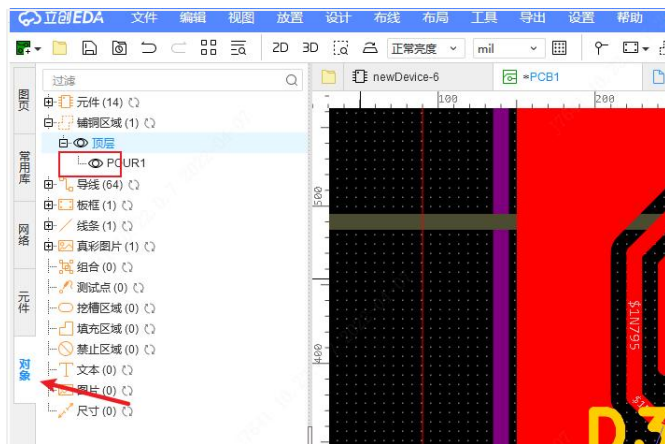
隐藏显示铺铜

嘉立创 EDA 支持多种隐藏铺铜的功能入口。

点击铺铜右键菜单或顶部视图菜单进行隐藏显示

点击画布空白处右侧属性面板，隐藏铺铜区域

点击左侧对象树，点击铺铜分类的眼睛图标进行隐藏



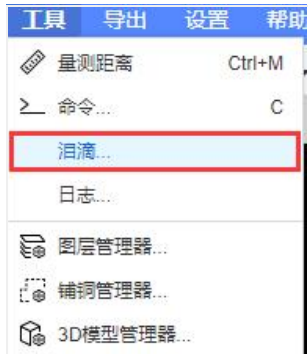
点击右侧过滤面板，点击铺铜分类的眼睛图标进行隐藏

补泪滴的意义和基本操作

泪滴的作用：避免电路板受到巨大外力的冲撞时，导线与焊盘或者导线与导孔的接触点断开，也可使 PCB 电路板显得更加美观，焊接上，可以保护焊盘，避免多次焊接是焊盘的脱落，生产时可以避免蚀刻不搜索均，过孔偏位出现的裂缝等，信号传输时平滑阻抗，减少阻抗的急剧跳变，避免高频信号传输时由于线宽突然变小而造成反射，可使走线与元件焊盘之间的连接趋于平稳过渡化。

添加泪滴流程：

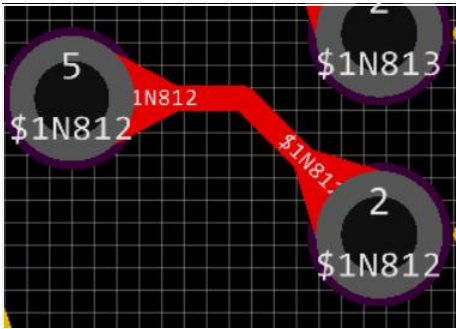
- 顶部菜单 - 工具 - 泪滴
- 选中导线 - 鼠标右键 - 泪滴



点击确定，即可生成泪滴



添加泪滴成功后效果图



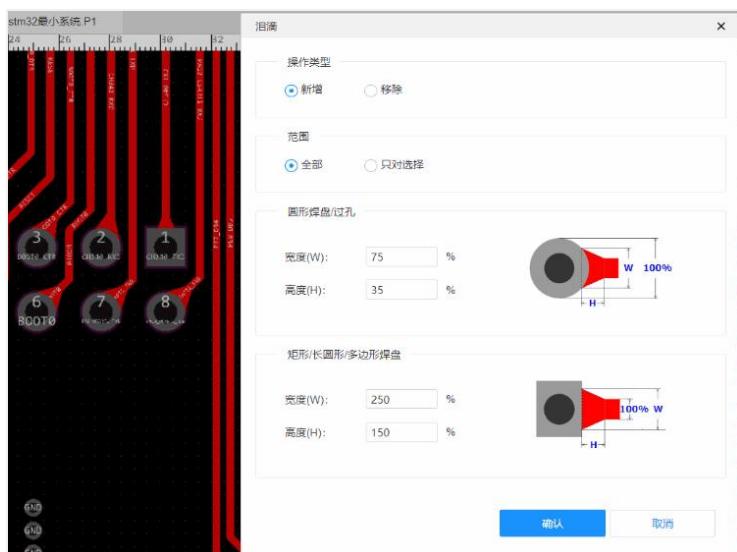
未添加泪滴前



范围

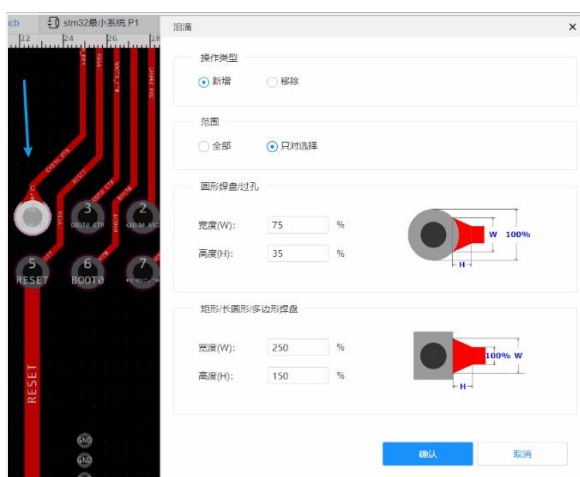
全部

选择之后，会将整个 PCB 添加上泪滴。



只对选择

只对选择上的焊盘添加泪滴。

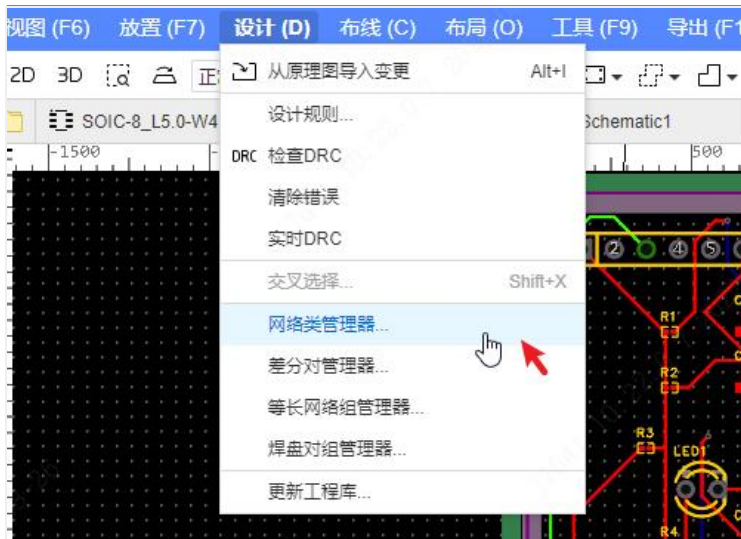


网络表的比较操作

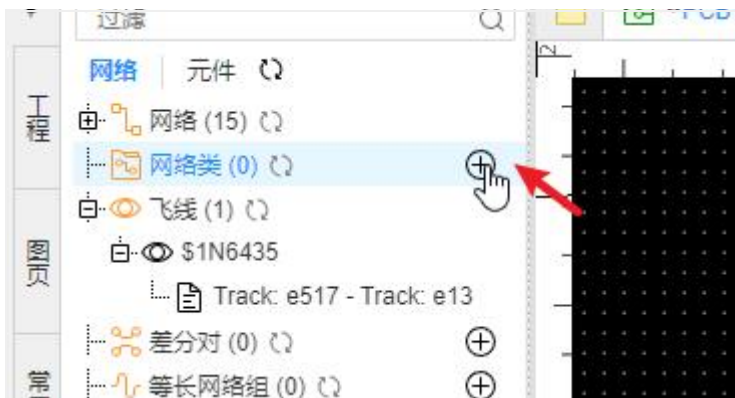
网络类是将不同类型的网络组合成一个分组，方便用于对规则的设置。

操作入口:

- 设计 - 网络类管理器, 或者左侧网络树 - 网络类



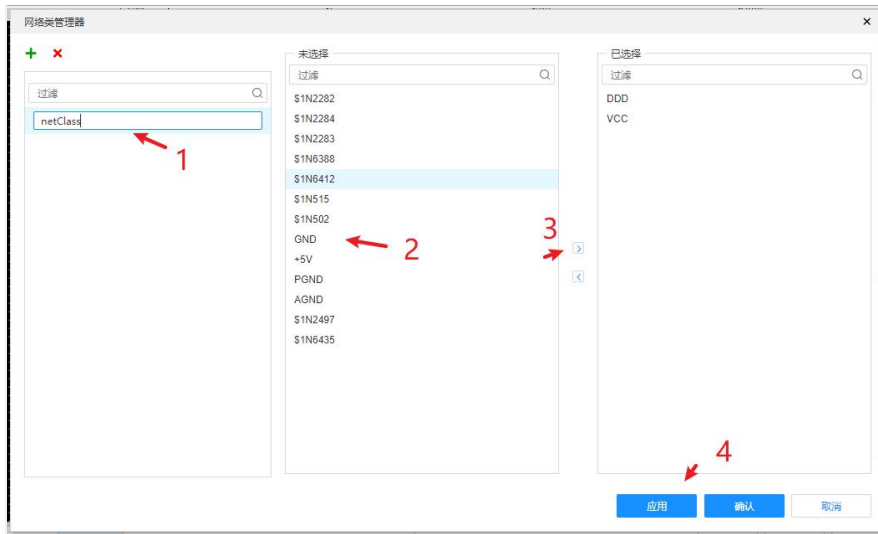
在网络分支下鼠标右键 - 新建分类或点击新建小图标



或者在上面“网络”列表直接网络名右键创建“网络类”。



在网络类弹窗设置好名称，和设置对于的网络即可。



已加入网络类的网络名会在对话框里面显示出来

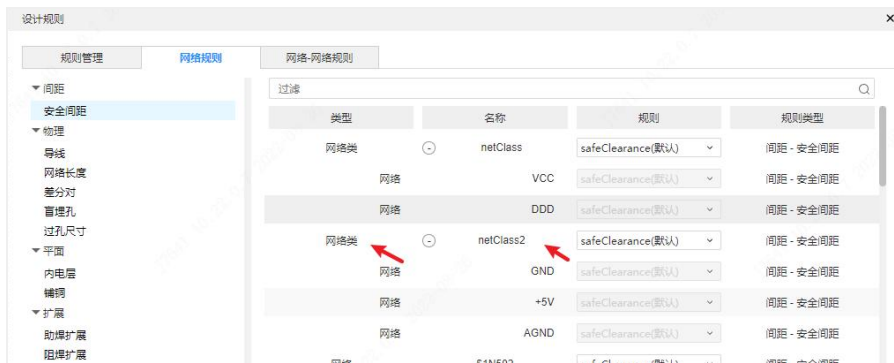


创建完毕后，刷新左侧网络类，可以看到新建的网络类。



点击排序按钮，可以对网络类里面的网络进行排序，方便按网络类查看网络。点击可以根据网络名，网络长度进行排序。

在设计规则里面，可以通过给网络类设置规则，方便批量设置规则。

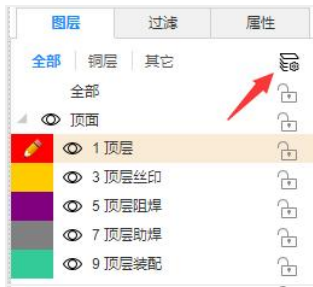


层次原理图设计的基本操作

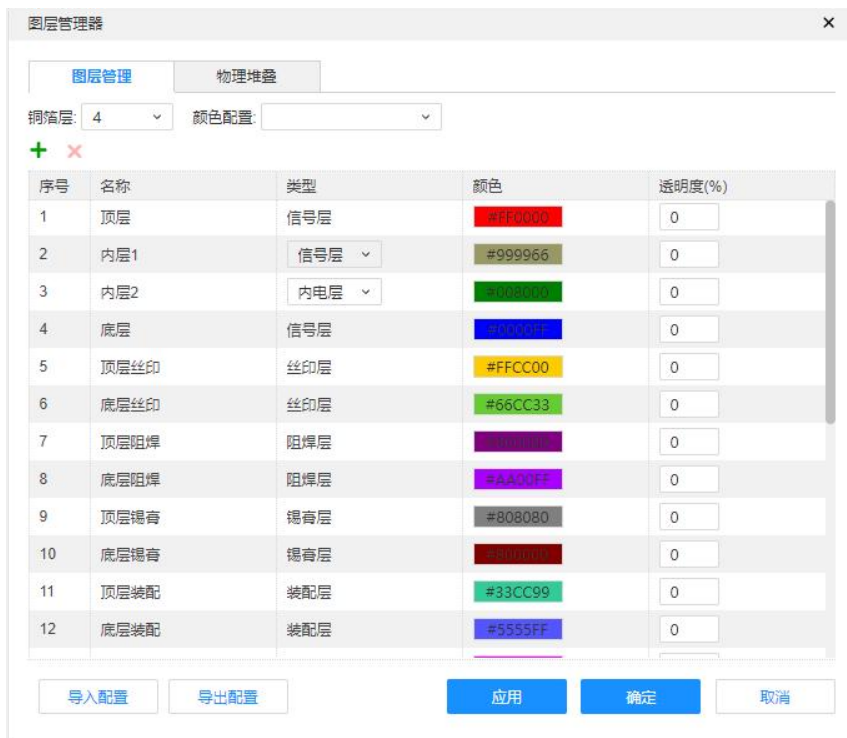
图层管理器是对编辑器右侧图层的层叠进行修改和编辑。

操作步骤：

- 顶部菜单 - 工具 - 图层管理器
- 右侧的图层属性栏点击右上方的图层管理器的图标



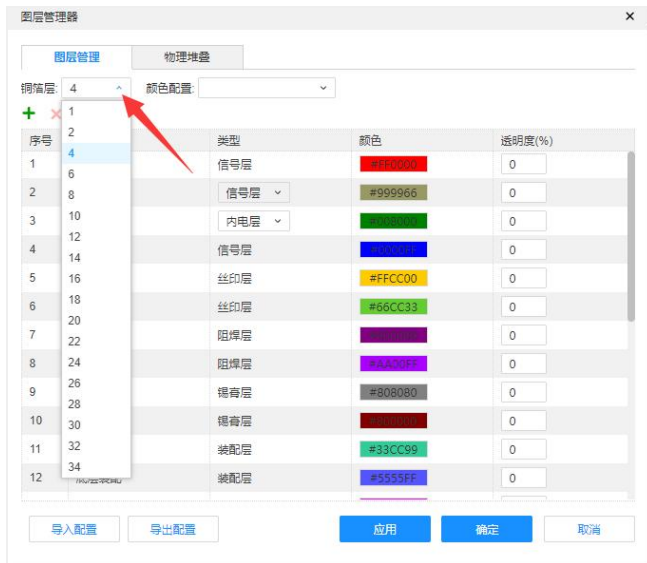
弹出图层管理器的窗口，这里可以设置图层的透明度、名称、类型、添加图层。



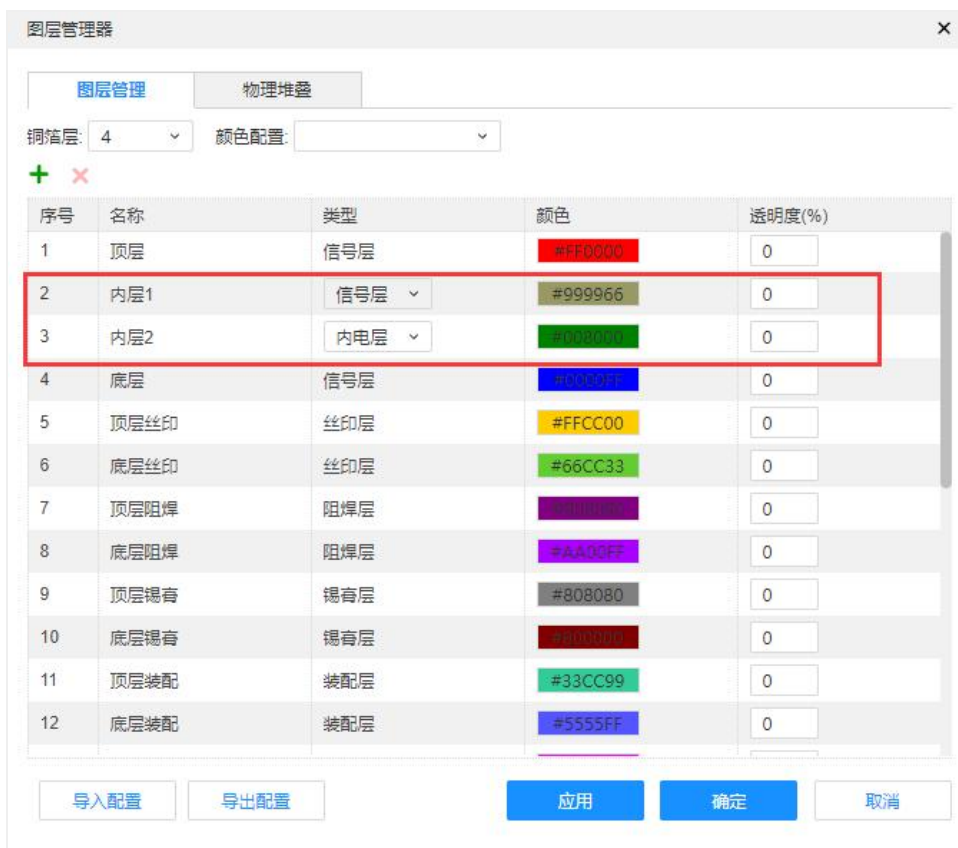
添加图层

添加铜箔层

选择需要的铜箔层数量，铜箔层是信号传输层，可以进行布线，铺铜等操作。



生成后图层管理器页面会多出两个层



可对新增的图层类型进行修改，可修改为信号层和内电层，凡是画线的地方印刷板的铜被保留，没有画线的地方敷铜被清除。如顶层、底层，的信号层就是正片。

•

信号层：也是正片层，pcb 信号层是同顶层、底层布线相同的铜导电路，只不过是夹在顶层和底层之间的布线层。

•

•

内电层：也叫平面层或负片层，是内部电源和地层（并通过通孔与各层贯通的层），内电层使用“线条”图元进行分割。负片效果：凡是画线条的地方印刷板的敷铜被清除，没有画线条的地方敷铜反而被保留。放置在这些层面上的走线或其他对象是无铜的区域，也即这个工作层是负片的。嘉立创 EDA 的内电层绘制时是负片方式绘制，但在输出制造文件 Gerber 时是正片输出，请注意。

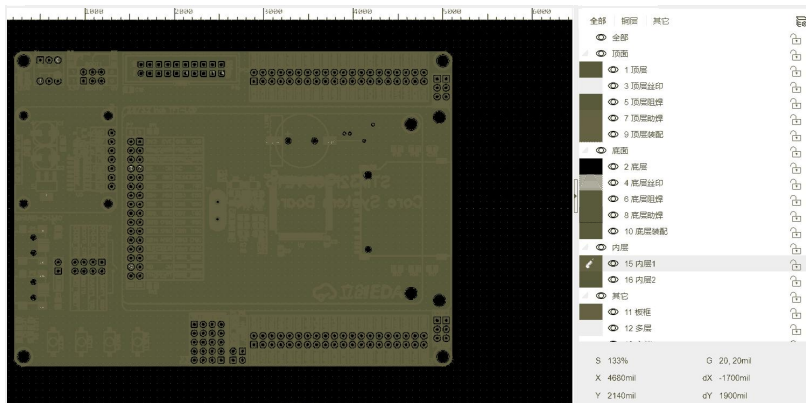
•

注意：

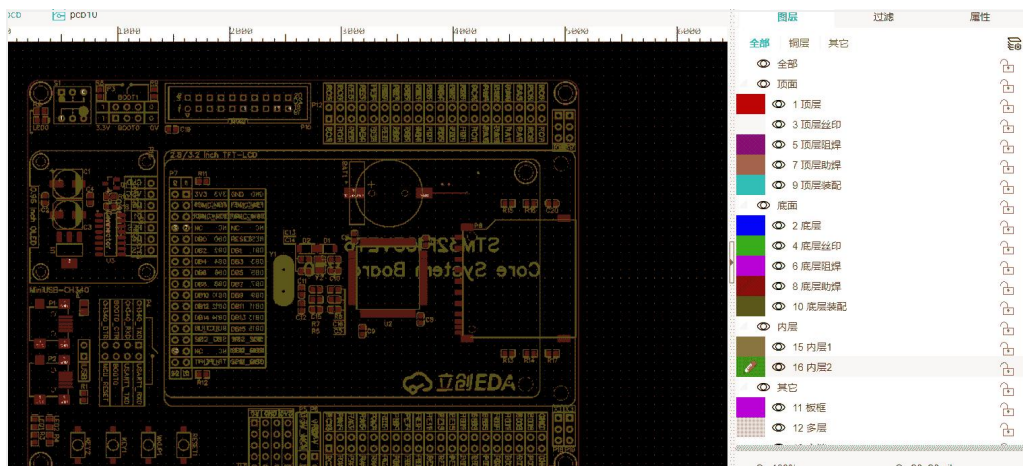
- 专业版不支持自动重建内电层，需要选中内电层手动重建。或重建全部铺铜时一起重建

在编辑器里，内电层和信号层有着明显的区别

内电层



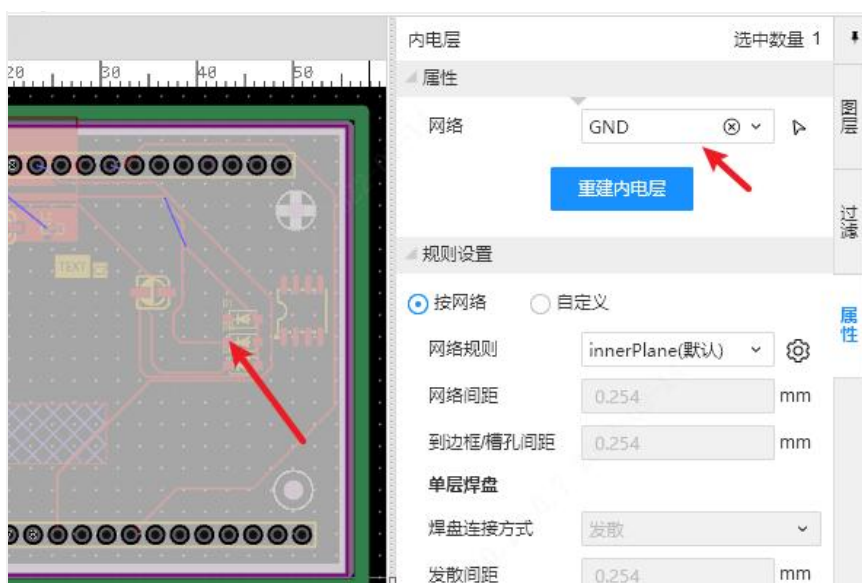
信号层



内电层就像一块铜皮，可对铜皮进行设置网络、分割。

设置网络

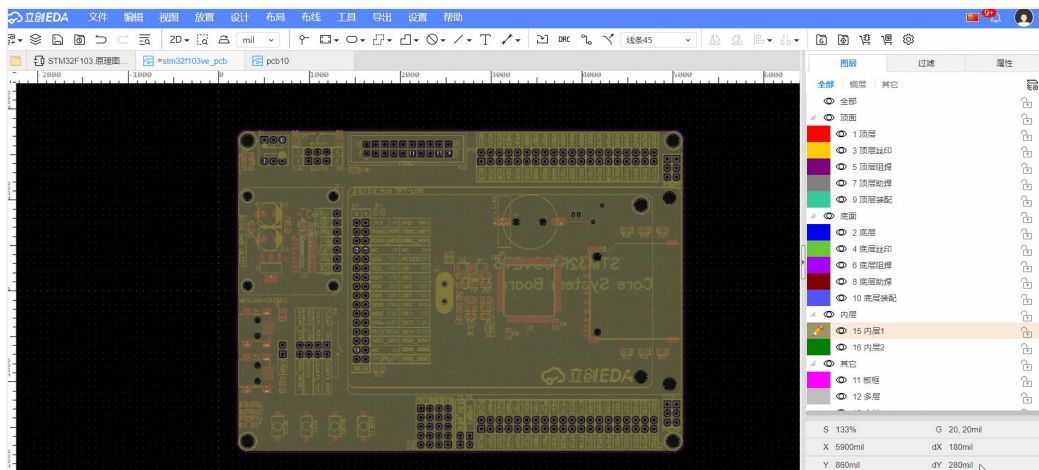
切换到内电层，点击铜皮，在右侧的面板设置网络。



分割内电层

分割内电层需要用折线来分割，不能使用导线，且分割完成之后需要手动重建一次内电层

或快捷键 **Shift+B** 重建所以铺铜



分割的内电层可设置多个网络。

注意：

- 分割内电层绘制的导线需是一个完整的闭合回路。

添加自定义层

嘉立创 EDA 支持创建多达 30 个自定义层，自定义层一般用于额外的信息记录用，作用和文档层，机械层，装配层类似。自定义层默认不导出 Gerber，不参与实物生产，在导出 Gerber 的时候可以使用自定义导出可以选择是否导出。

点击层列表上面的加号图标，创建自定义层。

操作演示视频：

https://www.bilibili.com/video/BV1de4y1h7t3/?spm_id_from=333.999.0.0



可以自定义层的名称,



图层定义

嘉立创 EDA 支持清晰的图层定义，可以参考下面的层类型与其作用。

- **顶层/底层：** PCB 板子顶面和底面的铜箔层，信号走线用。
- **内层：** 铜箔层，信号走线和铺铜用。可以设置为信号层和内电层。
- **顶层丝印层/底层丝印层：** 印在 PCB 板的白色字符层。
- **顶层锡膏层/底层锡膏层：** 该层是给贴片焊盘制造钢网用的层，帮助焊接，决定上锡膏的区域大小。做的板子不需要贴片的话这个层对生产没有影响。也称为正片工艺时的助焊层。
- **顶层阻焊层/底层阻焊层：** 板子的顶层和底层盖油层，一般是绿油，绿油的作用是阻止不需要的焊接。该层属于负片绘制方式，当你有导线或者区域不需要盖绿油则在对应的位置进行绘制，PCB 在生成出来后这些区域将没有绿油覆盖，方便上锡等操作，该动作一般被称为开窗。
- **边框层(板框层)：** 板子形状定义层。定义板子的实际大小，板厂会根据这个外形进行生产板子。在 Gerber 时生成的 GKO 文件内。

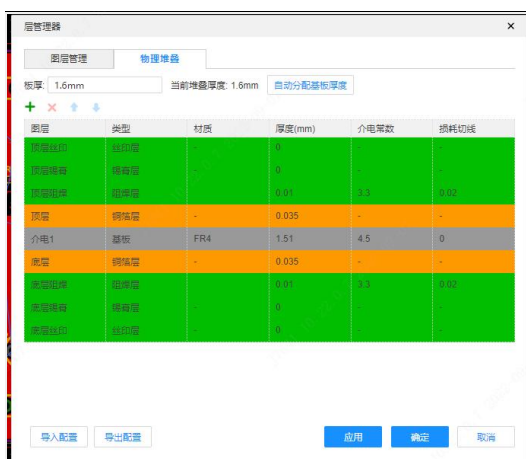
- **顶层装配层/底层装配层**：元器件的简化轮廓，用于产品装配和维修。用于导出文档打印，不对 PCB 板制作有影响。
- **机械层**：记录在 PCB 设计里面在机械层记录的信息，仅做信息记录用。
 - 生产时默认不采用该层的形状进行制造。
 - 一些板厂再使用 AD 文件生产时会使用机械层做边框。在嘉立创 EDA，该层不影响板子的边框形状。
 - **如果机械层有闭合的线条。嘉立创在生产板子的时候会优先使用机械层作为板子形状，如果没有机械层的外框才会使用 GKO 作为边框(AD 文件的历史影响)，需要注意在设计的时候注意机械层的使用。**
- **文档层**：与机械层类似，可以用做设计相关信息记录，查看用。但该层通常在编辑器使用，生成在 Gerber 文件里不参与制造生产。
- **飞线层**：PCB 网络飞线的显示，这个不属于物理意义上的层，为了方便使用和设置颜色，故放置在层管理器进行配置。
- **孔层**：与飞线层类似，这个不属于物理意义上的层只做通孔(非金属化孔)的显示和颜色配置用。
- **多层**：与飞线层类似，金属化孔的显示和颜色配置。当焊盘层属性为多层时，它将连接每个铜箔层包括内层。
- **元件外形层**：元件实物的外形层，这个层是绘制元件外形用的。方便和封装尺寸和实物尺寸的对比。
- **元件标识层**：元件实物的标识层，可以添加一下元件的特殊标识，比如正负极，极性点等。
- **引脚焊接层**：元件实物的引脚焊接层，方便和封装焊盘尺寸和实物引脚尺寸的对比。

- **引脚悬空层**：元件实物的引脚悬空层，方便和封装焊盘尺寸和实物引脚悬空部分尺寸的对比。
- **3D 外壳边框层**：绘制 3D 外壳时的，外壳的边框所在层。
- **3D 外壳顶层/3D 外壳底层**：3D 外壳的顶层或底层。可以绘制挖槽，实体等图元。
- **钻孔图层**：这个是存放钻孔表的信息，供制造生产对照查看用。
- **自定义层**：自定义层一般用于额外的信息记录用，作用和文档层，机械层，装配层类似。不直接用做生产。

物理堆叠

可以设置板子的物理堆叠参数，目前该参数只做记录，暂不参与阻抗计算等。后续 PCB 布线可能会使用该参数。

该物理堆叠设置不影响导出 Gerber，在下单的时候需要重新选择堆叠参数进行下单，但该设置可以影响 3D 预览的基板介质厚度。

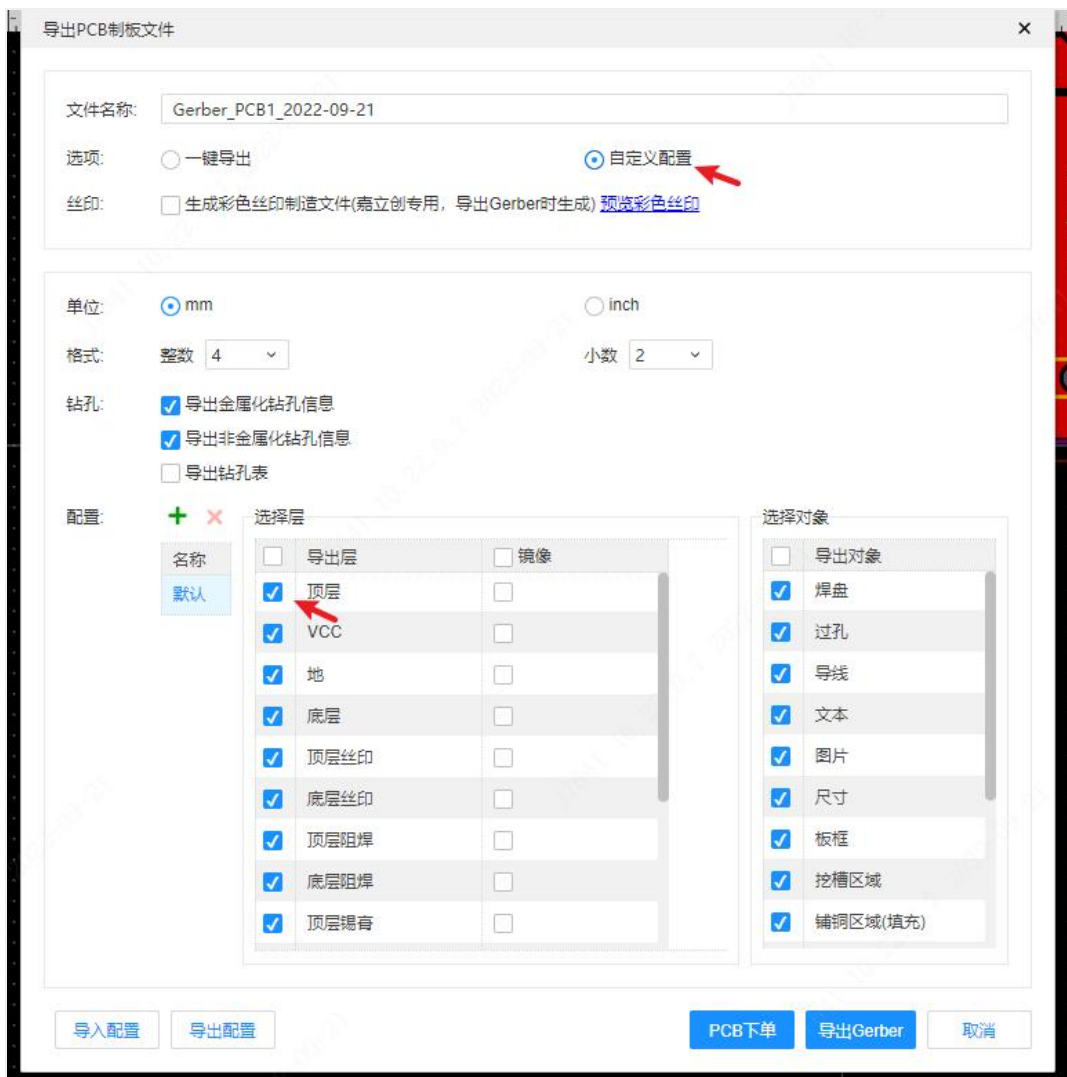


绘制单层 PCB

立创 EDA 的铜箔层都是双数，不支持直接绘制单层 PCB，你可以通过两种方法达到绘制单层的目的：

方法：

- 1、直接在单层(顶层或底层)进行布局布线，不要放置过孔。
- 2、导出 Gerber 的时候选择“自定义配置”，不需要的层不勾选。
- 3、在生成 Gerber 之后再用 Gerbv 检查 Gerber 是否符合设计需要。



PCB 板光绘文件的输出

得益于嘉立创 PCB 的工艺支持，嘉立创 EDA 可以非常方便得支持绘制彩色丝印。

支持导入彩色图片，和对字符设置颜色，导出制造文件后在嘉立创下单。

开启彩色丝印

需要先在 PCB 设置里面开启“使用嘉立创彩色丝印工艺”选项。

操作入口：

- 设置 - PCB - 常用 - 使用嘉立创彩色丝印工艺



导入彩色图片

嘉立创 EDA 支持导入彩色图片，预览图片时，选择放置原图。入口：顶部菜单 - 放置 - 图

片，选择 PNG 或者 SVG 等矢量图片。如果导入的图片发现没有放置原图勾选项，请更换

其他格式的图片。



将会自动放在顶层丝印层，你也可以切换到文档层或底层丝印层。



设置元件丝印颜色

选中元件后，可以在右边属性面板进行设置丝印颜色



元件的内部线条文本，位号等属性，在制造时均会使用该颜色进行生产。

设置板子丝印颜色

点击画布空白处后，右侧属性面板，可以看到彩色丝印设置



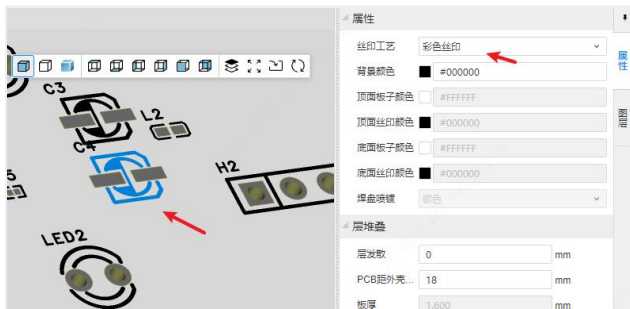
顶面/底面板子颜色：默认白色。因为板子需要彩色印刷，所以需要先打印一层底色，该颜色设置就是该底色的颜色。

顶面/底面丝印颜色：默认的丝印颜色，比如位号，元件的外形丝印的颜色。如果元件有单独设置丝印颜色，择会优先使用单独的颜色。

预览彩色丝印

在顶部菜单 - 视图 - 2D/3D 预览，可以对彩色丝印和图片进行预览。

在预览界面右边属性面板，修改丝印工艺为彩色丝印，就可以看到彩色打印的效果。



导出制造文件

完成彩色丝印的设置和编辑后，输出彩色丝印制作文件。

入口：顶部菜单 - 导出 - PCB 制板文件(Gerber)

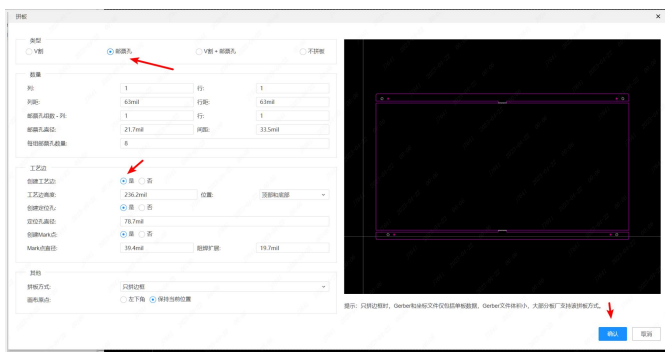
勾选导出彩色丝印选项，导出 Gerber 即可。



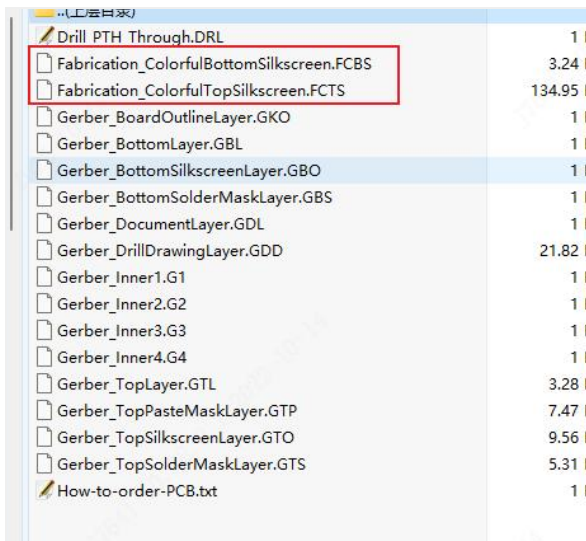
注意，如如果你的彩色丝印板子需要嘉立创 SMT 的服务，请确保在“拼板”功能中设置工艺边(类型：V 割，创建工艺边：是)或手动添加了工艺边，否则如果你选择 SMT 服务后，彩色取丝印将不会打印。



点击“设置工艺边”按钮，选择邮票孔或者V割，设置工艺边。拼板数量可以保持1x1，如果你有更多拼板需求可以设置其他数量。



导出 Gerber 后，Gerber 压缩包里面会包含嘉立创彩色丝印专用文件。



下单彩色打印

导出 Gerber 或者一键下单时，需要在嘉立创下单系统设置对应的选项才可以选择彩色丝印下单。

1、进入下单系统时，板材选择 FR-4，暂时只支持双面板，1.6mm 板厚。



2、阻焊颜色选择白色，焊盘喷镀选择沉金。



3、然后字符工艺再选择嘉立创 EDA 彩色丝印即可。



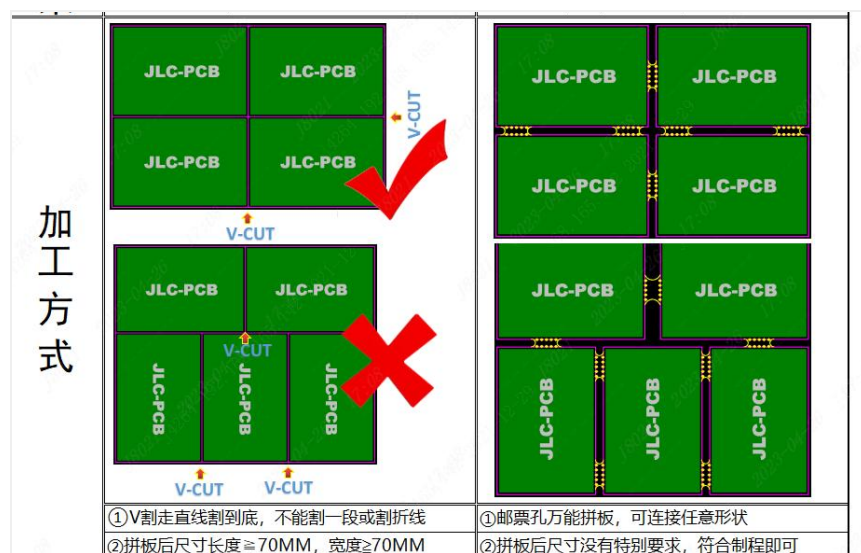
剩下的步骤和普通板子下单一致。

彩色丝印的生产工艺的声明(非常重要下单必看):

- 嘉立创 EDA 彩色丝印的生产文件是脱离 Gerber 的，嘉立创为了保证客户设计的 PCB 符合我们的工艺条件，会对客户的 gerber 原稿进行微调，但是我们并不会将 Gerber 的调整映射到彩色丝印的文件中（如果 gerber 调整的数据超过我们设置的误差 2MM，那么您的彩色丝印将不会生成生产文件），所以在设计的过程中需要注意以下可能会影响彩色丝印生产的情况。

工艺边设置：拼板后尺寸长度需要 $\geq 70\text{MM}$ ，如果小于这个值，提交嘉立创审核后，客服会询问是否去掉工艺边，如果让嘉立创帮你去掉工艺边，就会导致彩色丝印拼板失败，从而影响彩色丝印的生产（详细情况请参考：

https://www.jlc.com/portal/server_guide_112.html）。



-
-

SMT 的工艺边设置：嘉立创的工艺边有专门的设计要求，如果您设计的工艺边不符合嘉立创的标准，那么嘉立创的外协工程师也会对您的工艺边进行调整，如果工艺边的调整超过误差，就会导致彩色丝印拼板失败，从而影响彩色丝印的生产（嘉立创工艺边执行标准：https://www.jlc.com/portal/server_guide_69.html）

嘉立创 EDA 专业版拼板：目前彩色丝印在专业版中不支持拼板，专业的拼板功能不会将彩色丝印的内容进行复制，您导出彩色丝印的 Gerber 只会在母板中有数据，其他拼板的文件不会有彩色丝印的文件（如下图-右侧图是设计预览图，左侧为实际生产图）

