

# 《可编程逻辑器件应用》教学大纲

课程类别：专业基础必修课

开课对象：电子信息工程专业

开课学期：3

学分：3 学分 总学时：54 学时

理论课学时：18 学时

上机学时：36 学时

教材：选用《勇敢的芯伴你玩转 Altera FPGA 》，吴厚航 编著，清华大学出版社

## 一、课程的性质、目的和任务

本课程是电子信息工程专业的专业必修课，通过本课程的学习，使学生了解典型可编程逻辑器件的原理、结构和使用，同时掌握硬件描述语言 Verilog 语言的基本语法规则和编程，具备从事简单数字系统设计及工程应用能力。

## 二、课程的基本要求

### 1、对能力培养的要求

- 1) 掌握 FPGA&CPLD 的基本原理及开发流程；
- 2) 掌握 VERILOG 语言的基本描述语句和结构；
- 3) 掌握 VERILOG 语言有限状态机的设计。

## 三、课程的基本内容及学时分配

### 1、教学基本内容

#### 第一章 概述

EDA 技术及其发展；EDA 技术的实现目标；硬件描述语言 VERILOG 语言；VERILOG 语言综合；基于 VERILOG 语言的自顶向下设计方法。

#### 第二章 认识数字系统设计开发环境

FPGA/CPLD 设计流程；ASIC 及其设计流程；

常用 EDA 工具：基本设计流程；引脚设置和下载；原理图输入设计方法。

#### 第三章 FPGA/CPLD 结构与应用

简单 PLD 原理；CPLD 结构与工作原理；FPGA 结构与工作原理；FPGA 与 CPLD 的比较选用；主要 FPGA/CPLD 厂商介绍。

## 第四章 VERILOG 语言设计基础

数据类型及常量变量；连续赋值语句及“?:”语句；运算符和表达式；条件语句；循环语句；Verilog HDL 模块调用顺序语句；并行语句；属性描述与定义语句。

## 第五章 组合逻辑电路设计

多路选择器的 VERILOG 语言描述；寄存器描述及其 VERILOG 语言现象；1 位二进制全加器的 VERILOG 语言设计；计数器设计；一般加法计数器设计。

## 第六章 VERILOG 语言设计进阶（时序逻辑电路设计）

4 位加法计数器的 VERILOG 语言描述；不同工作方式的时序电路设计；数据对象；双向电路和三态控制电路设计；进程语句结构；仿真延时。

## 第七章 有限状态机设计

一般有限状态机的设计；Moore 型状态机；Mealy 型状态机；状态编码。

## 2、学时分配表

课 程 内 容	总学时	备 注
第一章 概述	3	
第二章 认识数字系统设计开发环境	1	
第三章 FPGA/CPLD 结构与应用	2	
第四章 VERILOG 语言设计基础	2	
第五章 组合逻辑电路设计	6	
第六章 VERILOG 语言设计进阶	6	
第七章 有限状态机设计	6	

## 3、课内实验安排

序 号	实验项目	学时	类型	每组 人数	基本教学要求
1	QuartusII 使用、简单组合电路 /时序电路设计	8	综合设计 (必做)	2	熟悉开发软件；掌 握 VERILOG 语言的 结构和基本描述语 句。

2	用原理图输入法设计 8 位全加器	3	验证（选必做）	2	熟悉 QuartusII 中原理图输入法
3	数控分频器设计	3	综合设计（必做）	2	熟悉 VERILOG 语言设计；熟悉复杂时序电路设计。
4	序列检测器设计	4	综合设计（必做）	2	掌握 VERILOG 语言有限状态机的设计。
5	简易数字钟设计	12	综合设计（必做）	2	熟悉数字系统的一般开发流程。
6	可编程多彩霓虹灯设计	12			
7	多功能数字钟设计	12			
8	交通灯控制器设计	12	综合设计（选做）	2	熟悉数字系统的一般开发流程。
9	多功能密码锁设计	12			
10	自动售货机设计	12			

#### 四、习题及课外教学要求

各实验中所涉及的程序设计需在课外完成。

#### 五、考核方式及成绩评定

平时实验报告成绩占 30%，期终考试占 70%。